

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-009060
 (43)Date of publication of application : 11.01.2002

(51)Int.Cl. H01L 21/3065
 B01J 19/08
 H05H 1/46

(21)Application number : 2001-053570 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 28.02.2001 (72)Inventor : YAMASHITA TAKESHI YAMAGUCHI MINEO NIKAWA HIDEO

(30)Priority

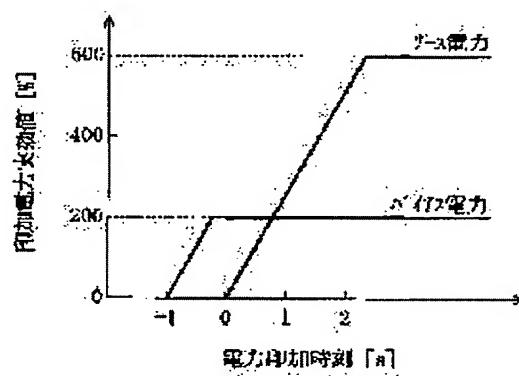
Priority number :	2000117502	Priority date :	19.04.2000	Priority country :	JP
-------------------	------------	-----------------	------------	--------------------	----

(54) DRY ETCHING METHOD, MANUFACTURE OF SEMICONDUCTOR DEVICE AND DRY ETCHING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent etching from being stopped midway when a member including silicon is etched by using the dry etching device of a two power system.

SOLUTION: The application of bias power is started before oxidation on the surface of the member including silicon is advanced. To put it concretely, the application of bias power is started before the application of source power is started or source power and bias power are applied, so that the valid value of source power reaches a second setting value



after the valid value of bias power reaches a first setting value.

LEGAL STATUS

[Date of request for examination] 28.02.2001

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision
of rejection or application
converted registration]

[Date of final disposal for
application]

[Patent number] 3323190

[Date of registration] 28.06.2002

[Number of appeal against
examiner's decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-9060

(P2002-9060A)

(43)公開日 平成14年1月11日(2002.1.11)

(51)Int.Cl.
H 01 L 21/3065
B 01 J 19/08
H 05 H 1/46

識別記号

F I
B 01 J 19/08
H 05 H 1/46
H 01 L 21/302

デコード(参考)
H 4 G 0 7 5
A 5 F 0 0 4
B

審査請求 有 請求項の数18 OL (全23頁)

(21)出願番号 特願2001-53570(P2001-53570)
(22)出願日 平成13年2月28日(2001.2.28)
(31)優先権主張番号 特願2000-117502(P2000-117502)
(32)優先日 平成12年4月19日(2000.4.19)
(33)優先権主張国 日本 (JP)

(71)出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72)発明者 山下 武志
大阪府高槻市幸町1番1号 松下電子工業
株式会社内
(72)発明者 山口 峰生
大阪府高槻市幸町1番1号 松下電子工業
株式会社内
(74)代理人 100077931
弁理士 前田 弘 (外7名)

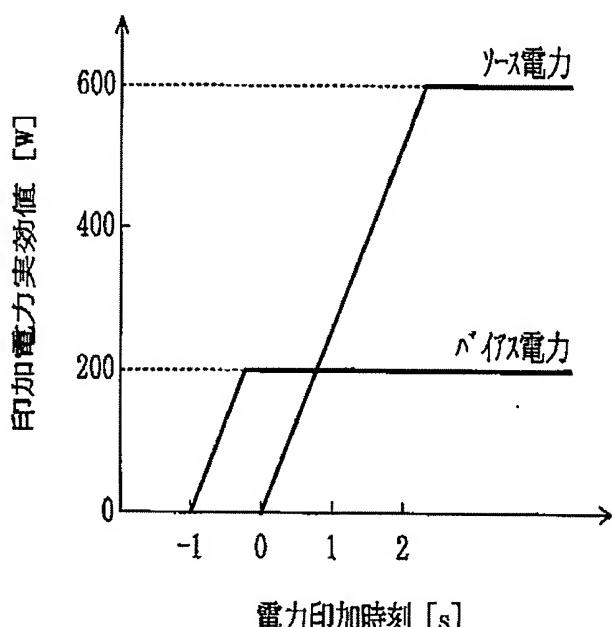
最終頁に続く

(54)【発明の名称】 ドライエッティング方法、半導体装置の製造方法及びドライエッティング装置

(57)【要約】

【課題】 二電源方式のドライエッティング装置を用いてシリコン含有部材に対してエッティングを行なうときにエッティングが途中で停止してしまうことを防止できるようにする。

【解決手段】 シリコン含有部材の表面における酸化が進行する前にバイアス電力の印加を開始する。具体的には、ソース電力の印加を開始する前にバイアス電力の印加を開始する。または、バイアス電力の実効値が第1の設定値に達した後にソース電力の実効値が第2の設定値に達するようにソース電力及びバイアス電力の印加を行なう。



【特許請求の範囲】

【請求項 1】 チャンバー内にプラズマを発生させるためのソース電力と、該プラズマ中のイオンを前記チャンバー内の被エッティング物に引き込むためのバイアス電力を独立して制御できる二電源方式のドライエッティング装置を用いたドライエッティング方法であって、前記チャンバー内に、少なくともシリコンを含む部材が露出した基板を設置する工程と、前記基板が設置された前記チャンバー内に少なくとも酸素を含むプロセスガスを導入する工程と、前記ソース電力の印加により前記プロセスガスからなるプラズマを発生させると共に前記バイアス電力の印加により該プラズマ中のイオンを前記部材に引き込むことにより、前記部材に対してエッティングを行なう工程とを備え、前記部材に対してエッティングを行なう工程は、前記部材の表面における酸化が進行する前に前記バイアス電力の印加を開始する工程を含むことを特徴とするドライエッティング方法。

【請求項 2】 前記部材に対してエッティングを行なう工程は、前記ソース電力の印加を開始する前に前記バイアス電力の印加を開始する工程を含むことを特徴とする請求項 1 に記載のドライエッティング方法。

【請求項 3】 前記部材に対してエッティングを行なう工程は、前記バイアス電力の実効値が第 1 の設定値に達した後に前記ソース電力の実効値が第 2 の設定値に達するよう前記ソース電力及びバイアス電力の印加を行なう工程を含むことを特徴とする請求項 1 に記載のドライエッティング方法。

【請求項 4】 前記部材はシリコン基板、ポリシリコン膜、アモルファスシリコン膜又はシリサイド膜であることを特徴とする請求項 1 に記載のドライエッティング方法。

【請求項 5】 チャンバー内にプラズマを発生させるためのソース電力と、該プラズマ中のイオンを前記チャンバー内の被エッティング物に引き込むためのバイアス電力を独立して制御できる二電源方式のドライエッティング装置を用いた半導体装置の製造方法であって、

シリコン基板上に、素子分離形成領域に開口部を有するマスクパターンを形成する工程と、前記チャンバー内に、前記マスクパターンが形成された前記シリコン基板を設置する工程と、

前記シリコン基板が設置された前記チャンバー内に少なくとも酸素を含むプロセスガスを導入する工程と、前記ソース電力の印加により前記プロセスガスからなるプラズマを発生させると共に前記バイアス電力の印加により該プラズマ中のイオンを前記シリコン基板に引き込むことにより、前記シリコン基板に対してエッティングを行なって前記シリコン基板に素子分離用溝を形成する工程とを備え、

前記素子分離用溝を形成する工程は、前記シリコン基板の露出部分における酸化が進行する前に前記バイアス電力の印加を開始する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 6】 前記素子分離用溝を形成する工程は、前記ソース電力の印加を開始する前に前記バイアス電力の印加を開始する工程を含むことを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】 前記素子分離用溝を形成する工程は、前記バイアス電力の実効値が第 1 の設定値に達した後に前記ソース電力の実効値が第 2 の設定値に達するよう前記ソース電力及びバイアス電力の印加を行なう工程を含むことを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 8】 チャンバー内にプラズマを発生させるためのソース電力と、該プラズマ中のイオンを前記チャンバー内の被エッティング物に引き込むためのバイアス電力を独立して制御できる二電源方式のドライエッティング装置を用いた半導体装置の製造方法であって、

基板上に少なくともシリコンを含む導電膜を形成する工程と、

前記導電膜上にゲート電極形成領域を覆うマスクパターンを形成する工程と、

前記チャンバー内に、前記導電膜及びマスクパターンが形成された前記基板を設置する工程と、

前記基板が設置された前記チャンバー内に少なくとも酸素を含むプロセスガスを導入する工程と、

前記ソース電力の印加により前記プロセスガスからなるプラズマを発生させると共に前記バイアス電力の印加により該プラズマ中のイオンを前記導電膜に引き込むことにより、前記導電膜に対してエッティングを行なって前記導電膜からなるゲート電極を形成する工程とを備え、

前記ゲート電極を形成する工程は、前記導電膜の露出部分における酸化が進行する前に前記バイアス電力の印加を開始する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 9】 前記ゲート電極を形成する工程は、前記ソース電力の印加を開始する前に前記バイアス電力の印加を開始する工程を含むことを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 10】 前記ゲート電極を形成する工程は、前記バイアス電力の実効値が第 1 の設定値に達した後に前記ソース電力の実効値が第 2 の設定値に達するよう前記ソース電力及びバイアス電力の印加を行なう工程を含むことを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 11】 前記導電膜はポリシリコン膜、アモルファスシリコン膜又はシリサイド膜であることを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 12】 チャンバー内にプラズマを発生させる

ためのソース電力と、該プラズマ中のイオンを前記チャンバー内の被エッティング物に引き込むためのバイアス電力とを独立して制御できる二電源方式のドライエッティング装置を用いた半導体装置の製造方法であって、前記チャンバー内に、少なくともシリコンを含む部材が露出した基板を設置した後、前記チャンバー内に第1のプロセスガスを導入し、その後、前記ソース電力の印加により前記第1のプロセスガスからなる第1のプラズマを発生させると共に前記バイアス電力の印加により該第1のプラズマ中のイオンを前記部材に引き込むことにより、前記部材に対してエッティングを行なう工程と、前記部材に対してエッティングを行なう工程よりも後に、前記第1のプロセスガスを前記チャンバーから排気し、その後、前記チャンバー内に前記基板を設置したまま前記チャンバー内に少なくとも酸素を含む第2のプロセスガスを導入する工程と、前記バイアス電力の印加を行なうことなく前記ソース電力の印加により前記第2のプロセスガスからなる第2のプラズマを発生させることにより、前記部材に対してエッティングを行なう工程において前記部材に生じたダメージ層を酸化する工程と、前記基板を前記チャンバーから取り出した後、前記基板を洗浄することにより、酸化された前記ダメージ層を除去する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項13】 前記部材はシリコン基板であり、前記部材に対してエッティングを行なう工程は、前記シリコン基板に素子分離用溝を形成する工程を含み、前記ダメージ層を酸化する工程は、前記シリコン基板における前記素子分離用溝の壁面近傍及び底面近傍に生じた前記ダメージ層を酸化する工程を含むことを特徴とする請求項12に記載の半導体装置の製造方法。

【請求項14】 前記部材は、前記基板上に形成された少なくともシリコンを含む導電膜であり、前記部材に対してエッティングを行なう工程は、前記基板上に前記導電膜からなるゲート電極を形成する工程を含み、

前記ダメージ層を酸化する工程は、前記ゲート電極の側面に生じた前記ダメージ層を酸化する工程を含むことを特徴とする請求項12に記載の半導体装置の製造方法。

【請求項15】 前記導電膜はポリシリコン膜、アモルファスシリコン膜又はシリサイド膜であることを特徴とする請求項14に記載の半導体装置の製造方法。

【請求項16】 チャンバー内にプラズマを発生させるためのソース電力と、該プラズマ中のイオンを前記チャンバー内の被エッティング物に引き込むためのバイアス電力とを独立して制御できる二電源方式のドライエッティング装置を用いた半導体装置の製造方法であって、前記チャンバー内に、素子分離用溝が形成されたシリコン基板を設置する工程と、

前記シリコン基板が設置された前記チャンバー内に少なくとも酸素を含むプロセスガスを導入する工程と、前記バイアス電力の印加を行なうことなく前記ソース電力の印加により前記プロセスガスからなるプラズマを発生させることにより、前記シリコン基板における前記素子分離用溝の壁面近傍及び底面近傍を酸化してシリコン酸化膜を形成する工程と、前記基板を前記チャンバーから取り出した後、前記シリコン酸化膜が形成された前記素子分離用溝に絶縁膜を埋め込んで素子分離を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項17】 前記素子分離を形成する工程は、前記素子分離用溝が完全に埋まるように前記シリコン基板上に前記絶縁膜を形成した後、前記絶縁膜の表面を含む前記シリコン基板の表面をCMP法により平坦化して前記絶縁膜における前記素子分離用溝の外側の部分を除去する工程を含むことを特徴とする請求項16に記載の半導体装置の製造方法。

【請求項18】 チャンバー内にプラズマを発生させるためのソース電力と、該プラズマ中のイオンを前記チャンバー内の被エッティング物に引き込むためのバイアス電力とを独立して制御できる二電源方式のドライエッティング装置であって、

前記バイアス電力の印加を開始する同時にタイマーを初期化して動作させるバイアス電力印加手段と、前記タイマーにより測定された経過時間が所定の時間に達したときに前記ソース電力の印加を開始するソース電力印加手段とを備えていることを特徴とするドライエッティング装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、シリコンを含む部材に対するドライエッティング方法、該ドライエッティング方法を用いた半導体装置の製造方法、及び該ドライエッティング方法を行なうためのドライエッティング装置に関する。

【0002】

【従来の技術】 半導体装置の製造において、半導体素子の微細化及び高精度化のために、シリコンを含む部材（以下、シリコン含有部材）に対してドライエッティングを行なうときに、誘導結合型プラズマエッティング装置（ICP）等の二電源方式のドライエッティング装置が用いられている。二電源方式のドライエッティング装置の特徴は、チャンバー内に導入されたプロセスガスからなるプラズマを発生させると共に該プラズマ密度を制御するための第1の電力（以下、ソース電力と称する）と、該プラズマ中のイオン（エッティング種）を被エッティング物に引き込むための第2の電力（以下、バイアス電力と称する）とを別々に制御しながら印加できることである。このため、二電源方式のドライエッティング装置を用いる

ことによって高精度な加工特性が得られる。尚、一般的に、二電源方式のドライエッティング装置においては、ソース電力は、チャンバー外壁に設けられたコイル等に印加されると共に、バイアス電力は、被エッティング物を載せるためにチャンバー内に設けられた試料台に印加される。

【0003】従来、シリコン基板に素子分離を形成する工程においては、窒化膜をマスクとしてシリコン基板を局所的に酸化することによって素子分離を形成するLOCOS (Local Oxidation of Silicon) 法が用いられてきた。ところが、LOCOS法を用いた場合、微細化が進むに従って分離寸法が所望の寸法よりも大きくなり、その結果、活性領域の確保が困難になるという問題が生じてきた。そこで、シリコン基板に溝を形成した後、該溝に酸化膜を埋め込み、その後、酸化膜の表面を含むシリコン基板の表面をCMP (Chemical Mechanical Polishing) 法により平坦化することによって素子分離を形成するSTI (Shallow Trench isolation) 法が用いられるようになってきた。このとき、素子分離用溝の形成に前述の二電源方式のドライエッティング装置が利用されている。

【0004】以下、従来の半導体装置の製造方法、具体的には、二電源方式のドライエッティング装置を用いてシリコン基板に対してエッティングを行なって素子分離用溝を形成する方法について、図面を参照しながら説明する。

【0005】図11(a)～(d)は従来の半導体装置の製造方法の各工程を示す断面図である。

【0006】まず、図11(a)に示すように、シリコン基板80上に熱酸化により第1のシリコン酸化膜81を形成した後、第1のシリコン酸化膜81上にCVD法等の成膜方法を用いてシリコン窒化膜82を形成し、その後、シリコン窒化膜82上にフォトリソグラフィーにより、素子分離形成領域に開口部を有するレジストパターン83を形成する。

【0007】次に、図11(b)に示すように、レジストパターン83をマスクとしてシリコン窒化膜82及び第1のシリコン酸化膜81に対してドライエッティングを行なって、シリコン窒化膜82及び第1のシリコン酸化膜81をそれぞれパターン化する。その後、レジストパターン83をアッショングにより除去した後、シリコン基板80を洗浄する。

【0008】次に、図11(c)に示すように、パターン化されたシリコン窒化膜82をマスクとしてシリコン基板80に対してドライエッティングを行なって、シリコン基板80に素子分離用溝84を形成する。ここで、図11(c)に示すドライエッティング工程について詳しく説明する。まず、ドライエッティング装置のチャンバー内(図示省略)に被エッティング物であるシリコン基板80を設置する。その後、チャンバー内を所定の真空中に達

するまで真空排気した後、チャンバー内にシリコン基板80に対してエッティングを行なうために必要なガス(以下、プロセスガスと称する)、具体的にはCl₂又はHBr等のハロゲン含有ガスと酸素ガスとの混合ガスを導入する。その後、ソース電力の印加を開始することによってプロセスガスからなるプラズマを発生させた後、バイアス電力の印加を開始することによってプラズマ中のイオンをシリコン基板80に引き込む。これにより、プラズマ中のイオンとシリコン基板80の露出部分とが反応して揮発性の反応生成物(例えばシリコンと塩素との化合物)が形成される。このとき、チャンバー内の真空排気により前述の揮発性の反応生成物をチャンバーから排出することによってシリコン基板80に対するドライエッティングが行なわれる。その後、シリコン基板80を洗浄して、シリコン基板80に対するドライエッティング時に形成された堆積物(例えば前述の揮発性の反応生成物と酸素との化合物)を除去する。これにより、シリコン基板80に素子分離用溝84が形成される。

【0009】尚、図11(c)に示すドライエッティング工程においては、分離寸法の微細化によりゲート電極の加工とほぼ同程度の高い加工精度が要求されるために、二電源方式のドライエッティング装置、例えば誘導結合型プラズマエッティング装置等が用いられる。

【0010】次に、シリコン基板80における素子分離用溝84の壁面近傍及び底面近傍の表面準位を低減するために、該壁面近傍及び底面近傍を酸化炉を用いて熱酸化する。その後、シリコン窒化膜82の上にCVD法により第2のシリコン酸化膜85を素子分離用溝84が完全に埋まるように堆積した後、第2のシリコン酸化膜85の表面を含むシリコン窒化膜82の表面をCMP法により平坦化して素子分離用溝84の外側の第2のシリコン酸化膜85を除去する。その後、図11(d)に示すように、シリコン窒化膜82をウエットエッティングにより除去すると共に、シリコン基板80を洗浄してシリコン基板80の表面に残存する第1のシリコン酸化膜81を除去する。これにより、素子分離用溝84に埋め込まれた第2のシリコン酸化膜85からなる素子分離が形成される。

【0011】以下、二電源方式のドライエッティング装置を用いた図11(c)に示すドライエッティング工程における従来のソース電力及びバイアス電力の印加方法(以下、従来のドライエッティング方法と称する)及びその作用について図面を参照しながら説明する。

【0012】図12は、従来のドライエッティング方法におけるソース電力及びバイアス電力のそれぞれの実効値の時間変化の一例を示す図である。尚、図12において、ソース電力の印加を開始した時刻を電力印加時刻の基準(0秒)としている。また、本明細書において、電力の実効値とは、電極(バイアス電力の場合は試料台であり、ソース電力の場合はコイル等である)に実際に印

加されている電力における振動量の2乗の時間的平均値の平方根を意味するものとする。

【0013】図12に示すように、バイアス電力の印加開始はソース電力の印加開始よりも1秒遅れて行なわれている。また、ソース電力の実効値は600Wに設定されている一方、バイアス電力の実効値は200Wに設定されている。

【0014】図13(a)～(c)は、従来のドライエッティング方法の作用を示す図、具体的には、図11(c)に示すドライエッティング工程におけるドライエッティング装置のチャンバー内の状態の変化を示す図であり、(a)はチャンバー内にプロセスガスを導入した直後の状態を示しており、(b)はソース電力の印加を開始した直後の状態を示しており、(c)はバイアス電力の印加を開始した直後の状態を示している。尚、図13(a)～(c)において、シリコン基板上のシリコン窒化膜等の図示を省略していると共に、チャンバー内の試料台等の図示を省略している。

【0015】まず、図13(a)に示すように、被エッティング物であるシリコン基板80をドライエッティング装置のチャンバー86内に設置した後、チャンバー86内を所定の真空中に達するまで真空排気し、その後、チャンバー86内にシリコン基板80に対してエッティングを行なうために必要なプロセスガス87を導入する。次に、図13(b)に示すように、ソース電力を印加することによってプロセスガス87からなるプラズマ87Aを発生させた後、図13(c)に示すように、バイアス電力を印加することによってプラズマ87A中のイオン88をシリコン基板80に引き込む。

【0016】すなわち、二電源方式のドライエッティング装置は、プロセスガスからなるプラズマの発生及び該プラズマ密度の調整と、該プラズマ中のイオンの被エッティング物への引き込みとをそれぞれ独立して制御できる。このため、二電源方式のドライエッティング装置を用いた従来のドライエッティング方法においては、まずソース電力の印加によってプロセスガスからなるプラズマを発生させてから、バイアス電力の印加によってプラズマ中のイオンを被エッティング物に引き込むことによって、被エッティング物に対してエッティングを行なっている。

【0017】

【発明が解決しようとする課題】しかしながら、従来のドライエッティング方法を用いて例えばシリコン基板に素子分離用溝を形成すると、図14に示すように、エッティングが途中で停止してしまい、その結果、所望の分離深さを有する素子分離用溝を形成できなくなるという問題が生じる。尚、図14は、図11(c)に示すドライエッティング工程でエッティングが途中で停止してしまった状態を示している。また、図14において、図11(c)と同一の部材には同一の符号を付している。

【0018】また、従来のドライエッティング方法を被エ

ッティング物であるシリコン基板等に用いた場合、エッティングに起因してシリコン基板等にダメージ層が生じる結果、半導体装置の電気的特性等が劣化してしまうという問題が生じる。

【0019】さらに、従来のドライエッティング方法を用いて例えばシリコン基板に素子分離用溝を形成したときには、シリコン基板における素子分離用溝の壁面近傍及び底面近傍の表面準位を低減するために、該壁面近傍及び底面近傍を酸化炉を用いて熱酸化する必要がある一方、酸化炉の使用に伴い半導体装置の製造コストが増大してしまうという問題が生じる。

【0020】前記に鑑み、本発明は、二電源方式のドライエッティング装置を用いてシリコン含有部材に対してエッティングを行なうときにエッティングが途中で停止してしまうことを防止できるようにすることを第1の目的とし、ドライエッティング時にシリコン含有部材に生じるダメージ層に起因して半導体装置の電気的特性が劣化することを防止できるようにすることを第2の目的とし、シリコン基板における素子分離用溝の壁面近傍及び底面近傍の表面準位を低コストで低減できるようにすることを第3の目的とする。

【0021】

【課題を解決するための手段】前記の第1の目的を達成するため、本願発明者らは、従来のドライエッティング方法におけるエッティング停止(図14参照)の原因について検討を加えたところ、以下に述べるような知見を得た。

【0022】図15(a)～(c)は従来のドライエッティング方法におけるエッティング停止が生じる様子、具体的には、図11(c)に示すドライエッティング工程の各タイミングにおけるドライエッティング装置のチャンバー内の状態を示す図であり、(a)はプロセスガスが導入されたチャンバー内においてソース電力の印加を開始した直後の状態を示しており、(b)はバイアス電力の印加開始前にソース電力の印加を継続したときの状態を示しており、(c)はバイアス電力の印加を開始した直後の状態を示している。尚、図15(a)～(c)において、シリコン基板上のシリコン窒化膜等の図示を省略していると共に、チャンバー内の試料台等の図示を省略している。

【0023】まず、図15(a)に示すように、被エッティング物であるシリコン基板80をドライエッティング装置のチャンバー86内に設置した後、チャンバー86内を所定の真空中に達するまで真空排気し、その後、チャンバー86内にシリコン基板80に対してエッティングを行なうために必要なプロセスガス87(例えばハロゲン含有ガスと酸素ガスとの混合ガス)を導入した後、ソース電力を印加することによってプロセスガス87からなるプラズマ87Aを発生させる。

【0024】次に、図15(b)に示すように、バイア

ス電力の印加開始前にソース電力の印加を継続すると、プラズマ 87 A 中にエッティング種となるイオン 88 と共に活性な酸素（以下、酸素ラジカルと称する）89 が発生する。このとき、酸素ラジカル 89 とシリコン基板 80 の露出部分とが反応して、シリコン基板 80 上に薄いシリコン酸化膜 90 が形成される。

【0025】次に、図 15 (c) に示すように、バイアス電力を印加することによってプラズマ 87 A 中のイオン 88 をシリコン基板 80 に引き込む。しかしながら、被エッティング物であるシリコン基板 80 の上にシリコン酸化膜 90 が形成されていると共に、シリコン酸化膜のエッティング速度がシリコンのエッティング速度の約 100 分の 1 であるので、シリコン基板 80 に対するエッティングがほとんど進行しない。

【0026】本願発明者らは、従来のドライエッティング方法におけるエッティング停止のメカニズム（図 15 (a) ~ (c) 参照）を検証するために、以下に説明する 2 つの実験を行なった。

【0027】まず、第 1 の実験において、バイアス電力の印加開始前にソース電力の印加を継続した場合におけるシリコン基板表面の酸化を検証するために、ソース電力の印加のみによって生成されたプラズマにシリコン基板を一定時間曝しながらシリコン基板表面に形成されるシリコン酸化膜の膜厚を測定した。このとき、二電源方式のドライエッティング装置として誘導結合型プラズマエッティング装置を用いると共に、ソース電力及びバイアス電力のそれぞれの実効値を 600 W 及び 0 W に設定した。また、プロセスガスとして Cl₂ ガスと O₂ ガスとの混合ガス（圧力：7 Pa、Cl₂ ガス流量：150 ml/min、O₂ ガス流量：6 ml/min）を用いた。

【0028】図 16 は第 1 の実験の結果、具体的には、シリコン基板表面における酸化膜厚（縦軸）のソース電力印加時間（横軸）に対する依存性を示している。

【0029】図 16 に示すように、バイアス電力の印加開始前にソース電力の印加を開始すると、ソース電力印加時間の経過に伴ってシリコン基板表面が厚く酸化されていくことが判明した。

【0030】次に、第 2 の実験において、ソース電力及びバイアス電力のそれぞれの印加開始タイミングとシリコン基板に対するエッティングの停止との関係を検証するために、ソース電力の印加開始タイミングとバイアス電力の印加開始タイミングとを色々変えながらシリコン基板に対してドライエッティングを行なったときのシリコン基板のエッティング深さ（以下、シリコン削れ量と称する）を測定した。このとき、第 2 の実験の対象となる試料として、図 11 (a) 及び (b) に示す従来の半導体装置の製造方法によって形成されたシリコン基板（素子分離形成用マスクパターンとなるシリコン窒化膜 82 が形成されたシリコン基板 80）を用いた。また、第 2 の

実験におけるシリコン削れ量の目標値を 300 nm に設定した。また、二電源方式のドライエッティング装置として誘導結合型プラズマエッティング装置を用いると共に、ソース電力及びバイアス電力のそれぞれの実効値を 600 W 及び 200 W に設定した。さらに、プロセスガスとして Cl₂ ガスと O₂ ガスとの混合ガス（圧力：7 Pa、Cl₂ ガス流量：150 ml/min、O₂ ガス流量：6 ml/min）を用いた。

【0031】尚、第 2 の実験においては、ソース電力の印加開始時刻を基準時刻として、バイアス電力の印加開始時刻を基準時刻からの遅延時間（バイアス電力の印加開始時刻がソース電力の印加開始時刻よりも早い場合には負の値をとる）によって表した。

【0032】図 17 は第 2 の実験の結果、具体的には、シリコン削れ量（縦軸）の遅延時間（横軸）に対する依存性を示している。

【0033】図 17 に示すように、バイアス電力の印加開始前にソース電力の印加を開始すると、シリコン基板に対するエッティングの停止が発生することが判明した。具体的には、ソース電力の印加開始によりプラズマを発生させてからバイアス電力の印加を開始するまでの時間、つまりソース電力の印加開始時刻からシリコン基板に対するエッティングの開始時刻までの時間が僅かであっても、シリコン基板表面の酸化が生じ、その結果、シリコン基板に対するエッティングが停止してしまう。

【0034】図 16 及び図 17 に示した結果から、本願発明者らは、前記の第 1 の目的を達成するためには、つまりシリコン含有部材に対するドライエッティングが途中で停止してしまうことを防止するためには、シリコン含有部材に対してドライエッティングを行なうときに、シリコン含有部材表面を酸化させないことが重要であることを見出した。また、シリコン含有部材表面を酸化させないための具体的な方法として、二電源方式のドライエッティング装置においてソース電力の印加開始前にバイアス電力の印加を開始する方法を着想した。ところで、一般に、印加電力の実効値に対する設定値が大きくなるに従って、該電力の印加開始からその実効値が設定値に達するまでに要する時間が長くなる。このため、バイアス電力の実効値に対する設定値（第 1 の設定値）よりもソース電力の実効値に対する設定値（第 2 の設定値）が高い場合においてバイアス電力の印加開始と同時に又はバイアス電力の印加開始前にソース電力の印加を開始する場合であっても、バイアス電力の実効値が第 1 の設定値に達した後にソース電力の実効値が第 2 の設定値に達するならば、前述の「ソース電力の印加開始前にバイアス電力の印加を開始する方法」と同等の効果が得られる。

【0035】また、本願発明者らは、二電源方式のドライエッティング装置を用いてシリコン含有部材に対してエッティングを行なう場合、該エッティングに引き続いて同じ二電源方式のドライエッティング装置を用いてバイアス電

力を印加することなくソース電力を印加することにより、エッティング時にシリコン含有部材に生じたダメージ層を酸化し、その後、酸化されたダメージ層を基板洗浄により除去することによって、前記の第2の目的を達成できること、つまり半導体装置の電気的特性の劣化を防止できることに着想した。

【0036】さらに、本願発明者らは、二電源方式のドライエッティング装置でバイアス電力を印加することなくソース電力を印加して、シリコン基板における素子分離用溝の壁面近傍及び底面近傍を酸化することによって、前記の第3の目的を達成できること、つまりシリコン基板における素子分離用溝の壁面近傍及び底面近傍の表面準位を酸化炉を用いることなく低コストで低減できることに着想した。

【0037】本発明は、以上に説明した知見に基づきなされたものであって、具体的には、前記の第1の目的を達成するために、本発明に係るドライエッティング方法は、チャンバー内にプラズマを発生させるためのソース電力と、該プラズマ中のイオンをチャンバー内の被エッティング物に引き込むためのバイアス電力を独立して制御できる二電源方式のドライエッティング装置を用いたドライエッティング方法を前提とし、チャンバー内に、少なくともシリコンを含む部材が露出した基板を設置する工程と、基板が設置されたチャンバー内に少なくとも酸素を含むプロセスガスを導入する工程と、ソース電力の印加によりプロセスガスからなるプラズマを発生させると共にバイアス電力の印加により該プラズマ中のイオンを部材に引き込むことにより、部材に対してエッティングを行なう工程とを備え、部材に対してエッティングを行なう工程は、部材の表面における酸化が進行する前にバイアス電力の印加を開始する工程を含む。

【0038】本発明のドライエッティング方法によると、被エッティング物であるシリコン含有部材に対して二電源方式のドライエッティング装置を用いてエッティングを行なうときに、シリコン含有部材の表面における酸化が進行する前にバイアス電力の印加を開始する。このため、プラズマ中のイオンのシリコン含有部材への引き込みが、シリコン含有部材の表面に形成される酸化膜によって阻害されることがないので、シリコン含有部材に対するドライエッティングが途中で停止してしまうことを確実に防止できる。

【0039】本発明のドライエッティング方法において、部材に対してエッティングを行なう工程は、ソース電力の印加を開始する前にバイアス電力の印加を開始する工程を含むことが好ましい。

【0040】このようにすると、ソース電力の印加により発生したプラズマ中の酸素ラジカルによってシリコン含有部材の表面が酸化される前に、プラズマ中のイオンをシリコン含有部材に確実に引き込み、それによってシリコン含有部材に対して確実にエッティングを行なうこと

ができる。

【0041】本発明のドライエッティング方法において、部材に対してエッティングを行なう工程は、バイアス電力の実効値が第1の設定値に達した後にソース電力の実効値が第2の設定値に達するようにソース電力及びバイアス電力の印加を行なう工程を含むことが好ましい。

【0042】このようにすると、ソース電力の印加により発生したプラズマ中の酸素ラジカルによってシリコン含有部材の表面が酸化される前に、プラズマ中のイオンをシリコン含有部材に確実に引き込み、それによってシリコン含有部材に対して確実にエッティングを開始することができる。具体的には、ソース電力の第1の設定値がバイアス電力の第2の設定値よりも高い場合等には、バイアス電力の印加開始と同時に又はバイアス電力の印加開始前にソース電力の印加を開始しても、ソース電力の実効値が第2の設定値に達する時点がバイアス電力の実効値が第1の設定値に達する時点よりも後になる。従つて、このような場合には、バイアス電力の印加開始後にソース電力の印加を開始する場合と同等の効果が得られる。

【0043】本発明のドライエッティング方法において、シリコン含有部材としてシリコン基板、ポリシリコン膜、アモルファスシリコン膜又はシリサイド膜等を用いてよい。

【0044】前記の第1の目的を達成するために、本発明に係る第1の半導体装置の製造方法は、チャンバー内にプラズマを発生させるためのソース電力と、該プラズマ中のイオンをチャンバー内の被エッティング物に引き込むためのバイアス電力を独立して制御できる二電源方式のドライエッティング装置を用いた半導体装置の製造方法を前提とし、シリコン基板上に、素子分離形成領域に開口部を有するマスクパターンを形成する工程と、チャンバー内に、マスクパターンが形成されたシリコン基板を設置する工程と、シリコン基板が設置されたチャンバー内に少なくとも酸素を含むプロセスガスを導入する工程と、ソース電力の印加によりプロセスガスからなるプラズマを発生させると共にバイアス電力の印加により該プラズマ中のイオンをシリコン基板に引き込むことにより、シリコン基板に対してエッティングを行なってシリコン基板に素子分離用溝を形成する工程とを備え、素子分離用溝を形成する工程は、シリコン基板の露出部分における酸化が進行する前にバイアス電力の印加を開始する工程を含む。

【0045】第1の半導体装置の製造方法によると、シリコン基板に対して二電源方式のドライエッティング装置を用いてエッティングを行なって素子分離用溝を形成するときに、シリコン基板の露出部分における酸化が進行する前にバイアス電力の印加を開始する。このため、プラズマ中のイオンのシリコン基板への引き込みが、シリコン基板の表面に形成される酸化膜によって阻害されるこ

とがないので、シリコン基板に対するドライエッティングが途中で停止してしまうことを確実に防止できる。従って、シリコン基板に所望の分離深さを有する素子分離用溝を形成できる。

【0046】第1の半導体装置の製造方法において、素子分離用溝を形成する工程は、ソース電力の印加を開始する前にバイアス電力の印加を開始する工程を含むことが好ましい。

【0047】このようにすると、ソース電力の印加により発生したプラズマ中の酸素ラジカルによってシリコン基板の表面が酸化される前に、プラズマ中のイオンをシリコン基板に確実に引き込み、それによってシリコン基板に対して確実にエッティングを行なうことができる。

【0048】第1の半導体装置の製造方法において、素子分離用溝を形成する工程は、バイアス電力の実効値が第1の設定値に達した後にソース電力の実効値が第2の設定値に達するようにソース電力及びバイアス電力の印加を行なう工程を含むことが好ましい。

【0049】このようにすると、ソース電力の印加により発生したプラズマ中の酸素ラジカルによってシリコン基板の表面が酸化される前に、プラズマ中のイオンをシリコン基板に確実に引き込み、それによってシリコン基板に対して確実にエッティングを行なうことができる。

【0050】前記の第1の目的を達成するために、本発明に係る第2の半導体装置の製造方法は、チャンバー内にプラズマを発生させるためのソース電力と、該プラズマ中のイオンをチャンバー内の被エッティング物に引き込むためのバイアス電力を独立して制御できる二電源方式のドライエッティング装置を用いた半導体装置の製造方法を前提とし、基板上に少なくともシリコンを含む導電膜を形成する工程と、導電膜上にゲート電極形成領域を覆うマスクパターンを形成する工程と、チャンバー内に、導電膜及びマスクパターンが形成された基板を設置する工程と、基板が設置されたチャンバー内に少なくとも酸素を含むプロセスガスを導入する工程と、ソース電力の印加によりプロセスガスからなるプラズマを発生させると共にバイアス電力の印加により該プラズマ中のイオンを導電膜に引き込むことにより、導電膜に対してエッティングを行なって導電膜からなるゲート電極を形成する工程とを備え、ゲート電極を形成する工程は、導電膜の露出部分における酸化が進行する前にバイアス電力の印加を開始する工程を含む。

【0051】第2の半導体装置の製造方法によると、基板上に形成されたシリコン含有導電膜に対して二電源方式のドライエッティング装置を用いてエッティングを行なってゲート電極を形成するときに、シリコン含有導電膜の露出部分における酸化が進行する前にバイアス電力の印加を開始する。このため、プラズマ中のイオンのシリコン含有導電膜への引き込みが、シリコン含有導電膜の表面に形成される酸化膜によって阻害されることがないの

で、シリコン含有導電膜に対するドライエッティングが途中で停止してしまうことを確実に防止できる。従って、所望の寸法を有するゲート電極を形成できる。

【0052】第2の半導体装置の製造方法において、ゲート電極を形成する工程は、ソース電力の印加を開始する前にバイアス電力の印加を開始する工程を含むことが好ましい。

【0053】このようにすると、ソース電力の印加により発生したプラズマ中の酸素ラジカルによってシリコン含有導電膜の表面が酸化される前に、プラズマ中のイオンをシリコン含有導電膜に確実に引き込み、それによってシリコン含有導電膜に対して確実にエッティングを行なうことができる。

【0054】第2の半導体装置の製造方法において、ゲート電極を形成する工程は、バイアス電力の実効値が第1の設定値に達した後にソース電力の実効値が第2の設定値に達するようにソース電力及びバイアス電力の印加を行なう工程を含むことが好ましい。

【0055】このようにすると、ソース電力の印加により発生したプラズマ中の酸素ラジカルによってシリコン含有導電膜の表面が酸化される前に、プラズマ中のイオンをシリコン含有導電膜に確実に引き込み、それによってシリコン含有導電膜に対して確実にエッティングを行なうことができる。

【0056】第2の半導体装置の製造方法において、シリコン含有導電膜としてポリシリコン膜、アモルファスシリコン膜又はシリサイド膜等を用いてもよい。

【0057】前記の第2の目的を達成するために、本発明に係る第3の半導体装置の製造方法は、チャンバー内にプラズマを発生させるためのソース電力と、該プラズマ中のイオンをチャンバー内の被エッティング物に引き込むためのバイアス電力を独立して制御できる二電源方式のドライエッティング装置を用いた半導体装置の製造方法を前提とし、チャンバー内に、少なくともシリコンを含む部材が露出した基板を設置した後、チャンバー内に第1のプロセスガスを導入し、その後、ソース電力の印加により第1のプロセスガスからなる第1のプラズマを発生させると共にバイアス電力の印加により該第1のプラズマ中のイオンを部材に引き込むことにより、部材に対してエッティングを行なう工程と、部材に対してエッティングを行なう工程よりも後に、第1のプロセスガスをチャンバーから排気し、その後、チャンバー内に基板を設置したままチャンバー内に少なくとも酸素を含む第2のプロセスガスを導入する工程と、バイアス電力の印加を行なうことなくソース電力の印加により第2のプロセスガスからなる第2のプラズマを発生させることにより、部材に対してエッティングを行なう工程において部材に生じたダメージ層を酸化する工程と、基板をチャンバーから取り出した後、基板を洗浄することにより、酸化されたダメージ層を除去する工程とを備えている。

【0058】第3の半導体装置の製造方法によると、二電源方式のドライエッティング装置を用いてシリコン含有部材に対してエッティングを行なった後、同じ二電源方式のドライエッティング装置を用いてバイアス電力を印加することなくソース電力を印加することにより、ドライエッティング時にシリコン含有部材に生じたダメージ層を酸化し、その後、酸化されたダメージ層を基板洗浄により除去する。このため、ドライエッティング時にシリコン含有部材に生じるダメージ層に起因して半導体装置の電気的特性が劣化することを防止できる。また、酸化炉に代えて、ドライエッティング時に使用された二電源方式のドライエッティング装置を用いることによってダメージ層の酸化を行なえるので、半導体装置の製造コストを大幅に削減することができる。

【0059】第3の半導体装置の製造方法において、部材はシリコン基板であり、部材に対してエッティングを行なう工程は、シリコン基板に素子分離用溝を形成する工程を含み、ダメージ層を酸化する工程は、シリコン基板における素子分離用溝の壁面近傍及び底面近傍に生じたダメージ層を酸化する工程を含むことが好ましい。

【0060】このようにすると、シリコン基板に対してドライエッティングを行なって素子分離用溝を形成したときに、シリコン基板における素子分離用溝の壁面近傍及び底面近傍に生じたダメージ層を低コストで除去できる。

【0061】第3の半導体装置の製造方法において、部材は、基板上に形成された少なくともシリコンを含む導電膜であり、部材に対してエッティングを行なう工程は、基板上に導電膜からなるゲート電極を形成する工程を含み、ダメージ層を酸化する工程は、ゲート電極の側面に生じたダメージ層を酸化する工程を含むことが好ましい。

【0062】このようにすると、基板上に形成されたシリコン含有導電膜に対してドライエッティングを行なってゲート電極を形成したときに、ゲート電極の側面に生じたダメージ層を低コストで除去できる。

【0063】また、この場合、シリコン含有導電膜としてポリシリコン膜、アモルファシリコン膜又はシリサイド膜等を用いてもよい。

【0064】前記の第3の目的を達成するために、本発明に係る第4の半導体装置の製造方法は、チャンバー内にプラズマを発生させるためのソース電力と、該プラズマ中のイオンをチャンバー内の被エッティング物に引き込むためのバイアス電力を独立して制御できる二電源方式のドライエッティング装置を前提とし、バイアス電力の印加を開始する同時にタイマーを初期化して動作させるバイアス電力印加手段と、タイマーにより測定された経過時間が所定の時間に達したときにソース電力の印加を開始するソース電力印加手段とを備えている。

【0065】第4の半導体装置の製造方法によると、二電源方式のドライエッティング装置を用いてバイアス電力を印加することなくソース電力を印加することにより、シリコン基板における素子分離用溝の壁面近傍及び底面近傍を酸化してシリコン酸化膜を形成する工程と、基板をチャンバーから取り出した後、シリコン酸化膜が形成された素子分離用溝に絶縁膜を埋め込んで素子分離を形成する工程とを備えている。

【0066】第4の半導体装置の製造方法において、部材はシリコン基板であり、部材に対してエッティングを行なう工程は、シリコン基板に素子分離用溝を形成する工程を含み、ダメージ層を酸化する工程は、シリコン基板における素子分離用溝の壁面近傍及び底面近傍に生じたダメージ層よりも深く酸化することによって、ダメージ層除去のための酸化と、表面準位低減及び絶縁破壊耐圧向上のための酸化とを同時に行なうことができる。この場合、酸化されたダメージ層を除去するための洗浄工程を省略できる。

【0067】前記の第1の目的を達成するために、本発明に係るドライエッティング装置は、チャンバー内にプラズマを発生させるためのソース電力と、該プラズマ中のイオンをチャンバー内の被エッティング物に引き込むためのバイアス電力を独立して制御できる二電源方式のドライエッティング装置を前提とし、バイアス電力の印加を開始する同時にタイマーを初期化して動作させるバイアス電力印加手段と、タイマーにより測定された経過時間が所定の時間に達したときにソース電力の印加を開始するソース電力印加手段とを備えている。

【0068】本発明のドライエッティング装置によると、バイアス電力印加手段によりバイアス電力の印加が開始されてからの経過時間が所定の時間に達したときに、ソース電力印加手段によりソース電力の印加が開始される。すなわち、ソース電力の印加が開始される前に必ずバイアス電力の印加が開始される。このため、酸素を含むプロセスガスを用いて被エッティング物であるシリコン含有部材に対してエッティングを行なう場合であっても、ソース電力の印加により発生したプラズマ中の酸素ラジカルによってシリコン含有部材が酸化される前に、バイ

アス電力の印加を開始してプラズマ中のイオンをシリコン含有部材に確実に引き込むことができる。その結果、プラズマ中のイオンのシリコン含有部材への引き込みが、シリコン含有部材の表面に形成される酸化膜によって阻害されることないので、シリコン含有部材に対するドライエッティングが途中で停止してしまうことを確実に防止できる。

【0069】

【発明の実施の形態】（第1の実施形態）以下、本発明の第1の実施形態に係る半導体装置の製造方法について図面を参照しながら説明する。

【0070】図1（a）～（d）は第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【0071】まず、図1（a）に示すように、シリコン基板10上に例えば熱酸化により第1のシリコン酸化膜11を形成した後、第1のシリコン酸化膜11上に例えばCVD法等の成膜方法を用いてシリコン窒化膜12を形成し、その後、シリコン窒化膜12上にフォトリソグラフィー法により、素子分離形成領域に開口部を有するレジストパターン13を形成する。

【0072】次に、図1（b）に示すように、レジストパターン13をマスクとしてシリコン窒化膜12及び第1のシリコン酸化膜11に対してドライエッティングを行なって、シリコン窒化膜12及び第1のシリコン酸化膜11をそれぞれパターン化する。その後、アッシングによりレジストパターン13を除去した後、シリコン基板10を洗浄する。

【0073】次に、図1（c）に示すように、パターン化されたシリコン窒化膜12をマスクとしてシリコン基板10に対してドライエッティングを行なって、シリコン基板10に素子分離用溝14を形成する。ここで、図1（c）に示すドライエッティング工程について詳しく説明する。まず、ドライエッティング装置のチャンバー内（図示省略）に被エッティング物であるシリコン基板10を設置する。その後、チャンバー内を所定の真密度に達するまで真空排気した後、チャンバー内にシリコン基板10に対してエッティングを行なうために必要なプロセスガス、例えばハロゲン含有ガスと酸素ガスとの混合ガスを導入する。その後、バイアス電力の印加を開始することによってプロセスガスからなる第1のプラズマを発生させると同時に該第1のプラズマ中のイオンをシリコン基板10に引き込む。その後、バイアス電力の印加を継続しながらソース電力の印加を開始することによってプロセスガスからなる第2のプラズマを発生させると共に該第2のプラズマ中のイオンをシリコン基板10に引き込む。これにより、プラズマ中のイオンとシリコン基板10の露出部分とが反応して揮発性の反応生成物が形成される。このとき、チャンバー内の真空排気により前述の揮発性の反応生成物をチャンバーから排出することによってシリコン基板10に対するドライエッティングが行な

われる。その後、シリコン基板10をチャンバーから取り出した後、シリコン基板10を洗浄して、シリコン基板10に対するドライエッティング時に形成された堆積物を除去する。これにより、シリコン基板10に素子分離用溝14が形成される。

【0074】尚、図1（c）に示すドライエッティング工程においては、分離寸法の微細化によりゲート電極の加工とほぼ同程度の高い加工精度が要求されるために、二電源方式のドライエッティング装置、例えば誘導結合型プラズマエッティング装置を用いると共に、ソース電力及びバイアス電力のそれぞれの実効値を例えば600W及び200Wに設定する。また、プロセスガスとして例えば Cl_2 ガスと O_2 ガスとの混合ガス（圧力：7Pa、 Cl_2 ガス流量：150ml/min、 O_2 ガス流量：6ml/min）を用いる。さらに、バイアス電力の印加開始をソース電力の印加開始よりも例えば1秒早く行なう。図2は、図1（c）に示すドライエッティング工程におけるソース電力及びバイアス電力のそれぞれの実効値の時間変化の一例を示す図である。但し、図2において、ソース電力の印加を開始した時刻を電力印加時刻の基準（0秒）としている。

【0075】次に、シリコン基板10における素子分離用溝14の壁面近傍及び底面近傍の表面準位を低減するために、該壁面近傍及び底面近傍を酸化する。その後、シリコン窒化膜12の上に例えばCVD法により第2のシリコン酸化膜15を素子分離用溝14が完全に埋まるように堆積した後、第2のシリコン酸化膜15の表面を含むシリコン窒化膜12の表面をCMP法により平坦化して素子分離用溝14の外側の第2のシリコン酸化膜15を除去する。その後、図1（d）に示すように、シリコン窒化膜12をウエットエッティングによりを除去すると共に、シリコン基板10を洗浄してシリコン基板10の表面に残存する第1のシリコン酸化膜11を除去する。これにより、素子分離用溝14に埋め込まれた第2のシリコン酸化膜15からなる素子分離が形成される。

【0076】以下、第1の実施形態に係る半導体装置の製造方法の特徴である、二電源方式のドライエッティング装置を用いた図1（c）に示すドライエッティング工程におけるソース電力及びバイアス電力の印加方法（以下、本発明のドライエッティング方法と称する）、つまりソース電力の印加を開始する前にバイアス電力の印加を開始する方法の作用について、図面を参照しながら説明する。

【0077】図3（a）～（c）は、本発明のドライエッティング方法の作用を示す図、具体的には、図1（c）に示すドライエッティング工程におけるドライエッティング装置のチャンバー内の状態の変化を示す図であり、

（a）はチャンバー内にプロセスガスを導入した直後の状態を示しており、（b）はバイアス電力の印加を開始した直後の状態を示しており、（c）はソース電力の印

加を開始した直後の状態を示している。尚、図3（a）～（c）において、シリコン基板上のシリコン窒化膜等の図示を省略していると共に、チャンバー内の試料台等の図示を省略している。

【0078】まず、図3（a）に示すように、被エッチング物であるシリコン基板10をドライエッチング装置のチャンバー17内に設置した後、チャンバー17内を所定の真空中に達するまで真空排気し、その後、チャンバー17内にシリコン基板10に対してエッチングを行なうために必要なプロセスガス18を導入する。次に、図3（b）に示すように、バイアス電力を印加することによってプロセスガス18からなる第1のプラズマ18Aを発生させると共に該第1のプラズマ18A中のイオン19をシリコン基板10に引き込む。その後、バイアス電力の印加を継続しながらソース電力を印加することによってプロセスガス18からなる第2のプラズマ18Bを発生させると共に該第2のプラズマ18B中のイオン19をシリコン基板10に引き込む。

【0079】すなわち、二電源方式のドライエッチング装置を用いた従来のドライエッチング方法においてはソース電力の印加を開始してからバイアス電力の印加を開始したが、二電源方式のドライエッチング装置を用いた本発明のドライエッチング方法においてはバイアス電力の印加を開始してからソース電力の印加を開始する。その結果、本発明のドライエッチング方法においては、従来のドライエッチング方法（図15（a）～（c）参照）において見られたような、プラズマ中のイオンのシリコン基板への引き込みによるエッチングが始まる前にプラズマ中の酸素ラジカル（活性な酸素）とシリコン基板の露出部分とが反応してシリコン基板上に酸化膜が形成される事態を回避することができる。言い換えると、本発明のドライエッチング方法においては、プラズマ中の酸素ラジカルと被エッチング物であるシリコン基板とが反応する前に、プラズマ中のイオンをシリコン基板の方向へ加速させ、それによってシリコン基板に対するエッチングを開始することができる。具体的には、本発明のドライエッチング方法においてソース電力の印加を開始する前にバイアス電力の印加を開始することにより、バイアス電力によって加速運動をするイオンが、ランダム運動をする酸素ラジカルよりも早くシリコン基板に到達するので、シリコン基板上に酸化膜が形成されてシリコン基板に対するエッチングが停止してしまうことを防止できる。

【0080】以上に説明したように、第1の実施形態によると、シリコン基板10に対して二電源方式のドライエッチング装置を用いてエッチングを行なって素子分離用溝14を形成するときに、ソース電力の印加を開始する前にバイアス電力の印加を開始する。このため、ソース電力の印加により発生したプラズマ中の酸素ラジカルによってシリコン基板10の露出部分が酸化される前

に、バイアス電力の印加を開始してプラズマ中のイオンをシリコン基板10に確実に引き込むことができる。その結果、プラズマ中のイオンのシリコン基板10への引き込みが、シリコン基板10の表面に形成される酸化膜によって阻害されることがないので、シリコン基板10に対するドライエッチングが途中で停止してしまうことを確実に防止できる。従って、シリコン基板10に所望の分離深さを有する素子分離用溝14を形成できる。

【0081】尚、第1の実施形態において、二電源方式のドライエッチング装置として誘導結合型プラズマエッチング装置を用いたが、これに代えて、電子サイクロン共鳴型（E C R）、容量結合型プラズマ2周波型又は表面波プラズマ型（S W P）等の他の二電源方式のドライエッチング装置を用いてもよい。

【0082】また、第1の実施形態において、ソース電力の印加を開始する前にバイアス電力の印加を開始したが、これに代えて、バイアス電力の実効値に対する第1の設定値よりもソース電力の実効値に対する第2の設定値が高い場合においてバイアス電力の印加開始と同時に又はバイアス電力の印加開始前にソース電力の印加を開始する場合に、バイアス電力の実効値が第1の設定値に達した後にソース電力の実効値が第2の設定値に達するようにソース電力及びバイアス電力の印加を行なってもよい。図4は、バイアス電力の実効値に対する第1の設定値よりもソース電力の実効値に対する第2の設定値が高い場合においてバイアス電力の印加開始と同時にソース電力の印加を開始する場合における、ソース電力及びバイアス電力のそれぞれの実効値の時間変化の一例を示す図である。但し、図4において、ソース電力の印加を開始した時刻を電力印加時刻の基準（0秒）としていると共に、ソース電力及びバイアス電力の実効値をそれぞれ600W及び200Wに設定している。

【0083】また、第1の実施形態において、素子分離用溝を形成するためにシリコン基板に対してドライエッチングを行なう場合を対象としたが、これに限られず、他の目的のためにシリコン含有部材に対してドライエッチングを行なう場合を対象としても、シリコン含有部材に対するドライエッチングの停止を防止できるという効果が得られる。

【0084】（第2の実施形態）以下、本発明の第2の実施形態に係る半導体装置の製造方法について図面を参照しながら説明する。

【0085】図5（a）～（c）は第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【0086】まず、図5（a）に示すように、シリコン基板20上に熱酸化によりシリコン酸化膜からなるゲート絶縁膜21を形成した後、ゲート絶縁膜21上に例えばC V D法等の成膜方法を用いてポリシリコン膜22を形成し、その後、ポリシリコン膜22上にフォトリソグラフィー法により、ゲート電極形成領域を覆うレジスト

パターン23を形成する。

【0087】次に、図5(b)に示すように、レジストパターン23をマスクとしてポリシリコン膜22に対してドライエッティングを行なって、シリコン基板20上にゲート絶縁膜21を介してポリシリコン膜22からなるゲート電極24を形成する。ここで、図5(b)に示すドライエッティング工程について詳しく説明する。まず、ドライエッティング装置のチャンバー内(図示省略)に被エッティング物であるポリシリコン膜22が形成されたシリコン基板20を設置する。その後、チャンバー内を所定の真空度に達するまで真空排気した後、チャンバー内にポリシリコン膜22に対してエッティングを行なうために必要なプロセスガス、例えばハロゲン含有ガスと酸素ガスとの混合ガスを導入する。その後、バイアス電力の印加を開始することによってプロセスガスからなる第1のプラズマを発生させると同時に該第1のプラズマ中のイオンをポリシリコン膜22に引き込む。その後、バイアス電力の印加を継続しながらソース電力の印加を開始することによってプロセスガスからなる第2のプラズマを発生させると共に該第2のプラズマ中のイオンをポリシリコン膜22に引き込む。これにより、プラズマ中のイオンとポリシリコン膜22の露出部分とが反応して揮発性の反応生成物が形成される。このとき、チャンバー内の真空排気により前述の揮発性の反応生成物をチャンバーから排出することによってポリシリコン膜22に対するドライエッティングが行なわれ、その結果、ポリシリコン膜22からなるゲート電極24が形成される。

【0088】尚、図5(b)に示すドライエッティング工程においては、ゲート寸法の微細化により高い加工精度が要求されるために、二電源方式のドライエッティング装置、例えば誘導結合型プラズマエッティング装置を用いると共に、ソース電力及びバイアス電力のそれぞれの実効値を例えば200W及び50Wに設定した。また、プロセスガスとして例えばCI₂ガスとHBrガスとO₂ガスとの混合ガス(圧力:4Pa、CI₂ガス流量:25ml/min、HBrガス流量:125ml/min、O₂ガス流量:1ml/min)を用いた。さらに、バイアス電力の印加開始をソース電力の印加開始よりも例えば1秒早く行なった。

【0089】次に、シリコン基板20をチャンバーから取り出した後、図5(c)に示すように、アッショングによりレジストパターン23を除去し、その後、シリコン基板20を洗浄して、ポリシリコン膜22に対するドライエッティング時に形成された堆積物、及びゲート絶縁膜21におけるゲート電極24の外側の部分を除去する。

【0090】以上に説明したように、第2の実施形態によると、ポリシリコン膜22に対して二電源方式のドライエッティング装置を用いてエッティングを行なってゲート電極24を形成するときに、ソース電力の印加を開始する前にバイアス電力の印加を開始する。このため、ソ

ス電力の印加により発生したプラズマ中の酸素ラジカルによってポリシリコン膜22の露出部分が酸化される前に、バイアス電力の印加を開始してプラズマ中のイオンをポリシリコン膜22に確実に引き込むことができる。その結果、プラズマ中のイオンのポリシリコン膜22への引き込みが、ポリシリコン膜22の表面に形成される酸化膜によって阻害されることがないので、ポリシリコン膜22に対するドライエッティングが途中で停止してしまうことを確実に防止できる。従って、所望の寸法を有するゲート電極24を形成できる。

【0091】尚、第2の実施形態において、二電源方式のドライエッティング装置として誘導結合型プラズマエッティング装置を用いたが、これに代えて、電子サイクロロン共鳴型、容量結合型プラズマ2周波型又は表面波プラズマ型等の他の二電源方式のドライエッティング装置を用いてもよい。

【0092】また、第2の実施形態において、ソース電力の印加を開始する前にバイアス電力の印加を開始したが、これに代えて、バイアス電力の実効値に対する第1の設定値よりもソース電力の実効値に対する第2の設定値が高い場合においてバイアス電力の印加開始と同時に又はバイアス電力の印加開始前にソース電力の印加を開始する場合に、バイアス電力の実効値が第1の設定値に達した後にソース電力の実効値が第2の設定値に達するようにソース電力及びバイアス電力の印加を行なってもよい。

【0093】また、第2の実施形態において、ゲート電極を構成する導電膜としてポリシリコン膜を用いたが、これに代えて、少なくともシリコンを含む他の導電膜、例えばアモルファスシリコン膜、又はWSi(タンクステンシリサイド)膜等のシリサイド膜を用いてもよい。

【0094】また、第2の実施形態において、ゲート電極を形成するためにポリシリコン膜に対してドライエッティングを行なう場合を対象としたが、これに限らず、他の目的のためにシリコン含有部材に対してドライエッティングを行なう場合を対象としても、シリコン含有部材に対するドライエッティングの停止を防止できるという効果が得られる。

【0095】(第3の実施形態)以下、本発明の第3の実施形態に係る半導体装置の製造方法について図面を参考しながら説明する。

【0096】図6(a)～(e)は第3の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【0097】まず、図6(a)に示すように、シリコン基板30上に例えば熱酸化により第1のシリコン酸化膜31を形成した後、第1のシリコン酸化膜31上に例えばCVD法等の成膜方法を用いてシリコン窒化膜32を形成する。その後、シリコン窒化膜32上にフォトリソグラフィー法により、素子分離形成領域に開口部を有するレジストパターン(図示省略)を形成した後、該レジ

ストパターンをマスクとしてシリコン窒化膜32及び第1のシリコン酸化膜31に対してドライエッティングを行なって、シリコン窒化膜32及び第1のシリコン酸化膜31をそれぞれパターン化する。その後、アッシングによりレジストパターンを除去した後、シリコン基板30を洗浄する。

【0098】次に、図6(b)に示すように、パターン化されたシリコン窒化膜32をマスクとしてシリコン基板30に対してドライエッティングを行なって、シリコン基板30に素子分離用溝33を形成する。このとき、シリコン基板30における素子分離用溝33の壁面近傍及び底面近傍に、結晶性の悪い又は不純物が混入したシリコン層つまりダメージ層34が生じる。ここで、図6(b)に示すドライエッティング工程について詳しく説明する。まず、ドライエッティング装置のチャンバー内(図示省略)に被エッティング物であるシリコン基板30を設置する。その後、チャンバー内を所定の真空度に達するまで真空排気した後、チャンバー内にシリコン基板30に対してエッティングを行なうために必要な第1のプロセスガス、例えばCI₂ガス又はHBrガス等のハロゲン含有ガスと酸素ガスとの混合ガスを導入する。その後、ソース電力の印加により第1のプロセスガスからなる第1のプラズマを発生させると共にバイアス電力の印加により該第1のプラズマ中のイオンをシリコン基板30に引き込む。これにより、第1のプラズマ中のイオンとシリコン基板30の露出部分とが反応して揮発性の反応生成物が形成される。このとき、チャンバー内の真空排気により前述の揮発性の反応生成物をチャンバーから排出することによってシリコン基板30に対するドライエッティングが行なわれる。

【0099】尚、図6(b)に示すドライエッティング工程においては、分離寸法の微細化によりゲート電極の加工とほぼ同程度の高い加工精度が要求されるために、二電源方式のドライエッティング装置、例えば誘導結合型プラズマエッティング装置を用いる。

【0100】次に、図6(b)に示すドライエッティング工程の終了後、第1のプロセスガスをチャンバーから排気し、その後、チャンバー内にシリコン基板30を設置したままチャンバー内に少なくとも酸素を含む第2のプロセスガスを導入する。その後、バイアス電力の印加を行なうことなくソース電力の印加により第2のプロセスガスからなる第2のプラズマを発生させることにより、第2のプラズマ中の酸素ラジカルとダメージ層34とを反応させ、それによって、図6(c)に示すように、酸化ダメージ層34A(具体的にはシリコン酸化膜)を形成する。

【0101】尚、図6(c)に示すダメージ層酸化工程においては、ソース電力の実効値を例えば600W(バイアス電力の実効値は0W)に設定すると共に、第2のプロセスガスとして例えばO₂ガス(圧力:7Pa、ガ

ス流量:50ml/min)を用いる。

【0102】次に、シリコン基板30をチャンバーから取り出した後、図6(d)に示すように、例えばHFを含む薬液等を用いてシリコン基板30を洗浄することによって、酸化ダメージ層34A及びシリコン基板30に対するドライエッティング時に形成された堆積物を除去する。これにより、シリコン基板30に、ダメージ層34が除去された素子分離用溝33を形成できる。

【0103】次に、シリコン基板30における素子分離用溝33の壁面近傍及び底面近傍の表面準位を低減するために、該壁面近傍及び底面近傍を酸化する。その後、シリコン窒化膜32の上に例えばCVD法により第2のシリコン酸化膜35を素子分離用溝33が完全に埋まるように堆積した後、第2のシリコン酸化膜35の表面を含むシリコン窒化膜32の表面をCMP法により平坦化して素子分離用溝33の外側の第2のシリコン酸化膜35を除去する。その後、図6(e)に示すように、シリコン窒化膜32をウエットエッティングにより除去すると共に、シリコン基板30を洗浄してシリコン基板30の表面に残存する第1のシリコン酸化膜31を除去する。これにより、素子分離用溝33に埋め込まれた第2のシリコン酸化膜35からなる素子分離が形成される。

【0104】以上に説明したように、第3の実施形態によると、二電源方式のドライエッティング装置を用いてシリコン基板30に対してエッティングを行なって素子分離用溝33を形成した後、同じ二電源方式のドライエッティング装置を用いてバイアス電力を印加することなくソース電力を印加することにより、シリコン基板30における素子分離用溝33の壁面近傍及び底面近傍にドライエッティング時に生じたダメージ層34を酸化し、その後、酸化されたダメージ層34Aを基板洗浄により除去する。このため、ダメージ層34に起因して半導体装置の電気的特性が劣化することを防止できる。また、酸化炉に代えて、ドライエッティング時に使用された二電源方式のドライエッティング装置を用いることによりダメージ層34の酸化を行なえるので、半導体装置の製造コストを大幅に削減することができる。

【0105】尚、第3の実施形態において、二電源方式のドライエッティング装置として誘導結合型プラズマエッティング装置を用いたが、これに代えて、電子サイクロン共鳴型、容量結合型プラズマ2周波型又は表面波プラズマ型等の他の二電源方式のドライエッティング装置を用いてもよい。

【0106】また、第3の実施形態において、第2のプロセスガスとしてO₂ガスを用いたが、これに代えて、O₂ガスと不活性ガスとの混合ガスを用いてもよい。

【0107】また、第3の実施形態において、図6(b)に示すドライエッティング工程と図6(c)に示すダメージ層酸化工程とで同一の二電源方式のドライエッティング装置を用いたが、これに代えて、各工程で異なる

二電源方式のドライエッティング装置を用いてもよいし、又は図6（b）に示すドライエッティング工程で二電源方式以外の他のドライエッティング装置を用いてもよい。また、図6（b）に示すドライエッティング工程で二電源方式のドライエッティング装置を用いる場合、バイアス電力の印加をシリコン基板30の露出部分における酸化が進行する前に開始することが好ましい。具体的には、ソース電力の印加を開始する前にバイアス電力の印加を開始するか、又は、バイアス電力の実効値が第1の設定値に達した後にソース電力の実効値が第2の設定値に達するようにソース電力及びバイアス電力の印加を行なうことことが好ましい。

【0108】また、第3の実施形態において、素子分離用溝を形成するためにシリコン基板に対してドライエッティングを行なう場合を対象としたが、これに限られず、他の目的のためにシリコン含有部材に対してドライエッティングを行なう場合を対象としても、ドライエッティング時にシリコン含有部材に生じるダメージ層に起因して半導体装置の電気的特性が劣化することを防止できるという効果が得られる。

【0109】（第4の実施形態）以下、本発明の第4の実施形態に係る半導体装置の製造方法について図面を参照しながら説明する。

【0110】図7（a）～（d）は第4の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【0111】まず、図7（a）に示すように、シリコン基板40上に熱酸化によりシリコン酸化膜からなるゲート絶縁膜41を形成した後、ゲート絶縁膜41上に例えばCVD法等の成膜方法を用いてポリシリコン膜42を形成し、その後、ポリシリコン膜42上にフォトリソグラフィー法により、ゲート電極形成領域を覆うレジストパターン43を形成する。

【0112】次に、図7（b）に示すように、レジストパターン43をマスクとしてポリシリコン膜42に対してドライエッティングを行なって、シリコン基板40上にゲート絶縁膜41を介してポリシリコン膜42からなるゲート電極44を形成する。このとき、ゲート電極44の側面にダメージ層45が生じる。ここで、図7（b）に示すドライエッティング工程について詳しく説明する。まず、ドライエッティング装置のチャンバー内（図示省略）に被エッティング物であるポリシリコン膜42が形成されたシリコン基板40を設置する。その後、チャンバー内を所定の真空中度に達するまで真空排気した後、チャンバー内にポリシリコン膜42に対してエッティングを行なうために必要な第1のプロセスガス、例えばCI₂ガス又はHBrガス等のハロゲン含有ガスと酸素ガスとの混合ガスを導入する。その後、ソース電力を印加により第1のプロセスガスからなる第1のプラズマを発生させると共にバイアス電力を印加により該第1のプラズマ中のイオンをポリシリコン膜42に引き込む。これによ

り、第1のプラズマ中のイオンとポリシリコン膜42の露出部分とが反応して揮発性の反応生成物が形成される。このとき、チャンバー内の真空排気により前述の揮発性の反応生成物をチャンバーから排出することによってポリシリコン膜42に対するドライエッティングが行なわれ、その結果、ポリシリコン膜42からなるゲート電極44が形成される。

【0113】尚、図7（b）に示すドライエッティング工程においては、ゲート寸法の微細化により高い加工精度が要求されるために、二電源方式のドライエッティング装置、例えば誘導結合型プラズマエッティング装置を用いる。

【0114】次に、図7（b）に示すドライエッティング工程の終了後、第1のプロセスガスをチャンバーから排気し、その後、チャンバー内にシリコン基板40を設置したままチャンバー内に少なくとも酸素を含む第2のプロセスガスを導入する。その後、バイアス電力の印加を行なうことなくソース電力の印加により第2のプロセスガスからなる第2のプラズマを発生させることにより、第2のプラズマ中の酸素ラジカルとダメージ層45とを反応させ、それによって、図7（c）に示すように、酸化ダメージ層45A（具体的にはシリコン酸化膜）を形成する。

【0115】尚、図7（c）に示すダメージ層酸化工程においては、ソース電力の実効値を例えば600W（バイアス電力の実効値は0W）に設定すると共に、第2のプロセスガスとして例えばO₂ガス（圧力：7Pa、ガス流量：40mL/min）を用いる。

【0116】次に、シリコン基板40をチャンバーから取り出した後、図7（d）に示すように、アッシングによりレジストパターン43を除去し、その後、例えばHFを含む薬液等を用いてシリコン基板40を洗浄することによって、酸化ダメージ層45A、ポリシリコン膜42に対するドライエッティング時に形成された堆積物、及びゲート絶縁膜41におけるゲート電極44の外側の部分を除去する。これにより、シリコン基板40上にゲート絶縁膜41を介して、ダメージ層45が除去されたゲート電極44を形成できる。

【0117】以上に説明したように、第4の実施形態によると、二電源方式のドライエッティング装置を用いてポリシリコン膜42に対してエッティングを行なってゲート電極44を形成した後、同じ二電源方式のドライエッティング装置を用いてバイアス電力を印加することなくソース電力を印加することにより、ゲート電極44の側面にドライエッティング時に生じたダメージ層45を酸化し、その後、酸化されたダメージ層45Aを基板洗浄により除去する。このため、ダメージ層45に起因して半導体装置の電気的特性が劣化することを防止できる。また、酸化炉に代えて、ドライエッティング時に使用された二電源方式のドライエッティング装置を用いることによりダメ

一層45の酸化を行なえるので、半導体装置の製造コストを大幅に削減することができる。

【0118】尚、第4の実施形態において、二電源方式のドライエッティング装置として誘導結合型プラズマエッティング装置を用いたが、これに代えて、電子サイクロン共鳴型、容量結合型プラズマ2周波型又は表面波プラズマ型等の他の二電源方式のドライエッティング装置を用いてもよい。

【0119】また、第4の実施形態において、第2のプロセスガスとしてO₂ガスを用いたが、これに代えて、O₂ガスと不活性ガスとの混合ガスを用いてもよい。

【0120】また、第4の実施形態において、図7(b)に示すドライエッティング工程と図7(c)に示すダメージ層酸化工程とで同一の二電源方式のドライエッティング装置を用いたが、これに代えて、各工程で異なる二電源方式のドライエッティング装置を用いてもよいし、又は図7(b)に示すドライエッティング工程で二電源方式以外の他のドライエッティング装置を用いてもよい。また、図7(b)に示すドライエッティング工程で二電源方式のドライエッティング装置を用いる場合、バイアス電力の印加をポリシリコン膜42の露出部分における酸化が進行する前に開始することが好ましい。具体的には、ソース電力の印加を開始する前にバイアス電力の印加を開始するか、又は、バイアス電力の実効値が第1の設定値に達した後にソース電力の実効値が第2の設定値に達するようにソース電力及びバイアス電力の印加を行なうことが好ましい。

【0121】また、第4の実施形態において、ゲート電極を構成する導電膜としてポリシリコン膜を用いたが、これに代えて、少なくともシリコンを含む他の導電膜、例えばアモルファスシリコン膜、又はWS_x膜等のシリサイド膜を用いてもよい。

【0122】また、第4の実施形態において、ゲート電極を形成するためにポリシリコン膜に対してドライエッティングを行なう場合を対象としたが、これに限られず、他の目的のためにシリコン含有部材に対してドライエッティングを行なう場合を対象としても、ドライエッティング時にシリコン含有部材に生じるダメージ層に起因して半導体装置の電気的特性が劣化することを防止できるという効果が得られる。

【0123】(第5の実施形態)以下、本発明の第5の実施形態に係る半導体装置の製造方法について図面を参照しながら説明する。

【0124】図8(a)～(d)は第5の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【0125】まず、図8(a)に示すように、シリコン基板50上に例えば熱酸化により第1のシリコン酸化膜51を形成した後、第1のシリコン酸化膜51上に例えばCVD法等の成膜方法を用いてシリコン窒化膜52を形成する。その後、シリコン窒化膜52上にフォトリソ

グラフィー法により、素子分離形成領域に開口部を有するレジストパターン(図示省略)を形成した後、該レジストパターンをマスクとしてシリコン窒化膜52及び第1のシリコン酸化膜51に対してドライエッティングを行なって、シリコン窒化膜52及び第1のシリコン酸化膜51をそれぞれパターン化する。その後、アッショングによりレジストパターンを除去した後、シリコン基板50を洗浄する。

【0126】次に、図8(b)に示すように、パターン化されたシリコン窒化膜52をマスクとしてシリコン基板50に対してドライエッティングを行なった後、シリコン基板50を洗浄して、シリコン基板50に対するドライエッティング時に形成された堆積物を除去する。これにより、シリコン基板50に素子分離用溝53が形成される。

【0127】次に、図8(c)に示すように、シリコン基板50における素子分離用溝53の壁面近傍及び底面近傍を酸化して第2のシリコン酸化膜54を形成する。これにより、シリコン基板50における素子分離用溝53の壁面近傍及び底面近傍の表面準位を低減すると共に、素子分離用溝53のコーナ部を丸めて素子分離の絶縁破壊耐圧を向上させることができる。尚、第5の実施形態においては、図8(c)に示す酸化工程を二電源方式のドライエッティング装置を用いて行なう。ここで、図8(c)に示す酸化工程について詳しく説明する。まず、二電源方式のドライエッティング装置のチャンバー内(図示省略)に、素子分離用溝53が形成されたシリコン基板50を設置する。その後、チャンバー内を所定の真空中度に達するまで真空排気した後、チャンバー内にシリコン基板50を酸化させるのに必要なプロセスガス、つまり少なくとも酸素を含むプロセスガスを導入する。その後、バイアス電力の印加を行なうことなくソース電力の印加によりプロセスガスからなるプラズマを発生させることにより、該プラズマ中の酸素ラジカルと、シリコン基板50における素子分離用溝53の壁面近傍及び底面近傍とを反応させ、それによって第2のシリコン酸化膜54を形成する。

【0128】尚、図8(c)に示す酸化工程においては、二電源方式のドライエッティング装置として例えば誘導結合型プラズマエッティング装置を用いると共に、ソース電力の実効値を例えば600W(バイアス電力の実効値は0W)に設定する。また、プロセスガスとして例えばO₂ガス(圧力:7Pa、ガス流量:60ml/min)を用いる。

【0129】次に、シリコン基板50をチャンバーから取り出した後、シリコン窒化膜52の上に例えばCVD法により第3のシリコン酸化膜55を素子分離用溝53が完全に埋まるよう堆積した後、第3のシリコン酸化膜55の表面を含むシリコン窒化膜52の表面をCMP法により平坦化して素子分離用溝53の外側の第3のシ

リコン酸化膜55を除去する。尚、第2のシリコン酸化膜54は、第3のシリコン酸化膜55の堆積時に第3のシリコン酸化膜55と一体化してしまう。その後、図8(d)に示すように、シリコン窒化膜52をウエットエッティングによりを除去すると共に、シリコン基板50を洗浄してシリコン基板50の表面に残存する第1のシリコン酸化膜51を除去する。これにより、素子分離用溝53に埋め込まれた第3のシリコン酸化膜55からなる素子分離が形成される。

【0130】以上に説明したように、第5の実施形態によると、二電源方式のドライエッティング装置を用いてバイアス電力を印加することなくソース電力を印加することにより、シリコン基板50における素子分離用溝53の壁面近傍及び底面近傍を酸化してシリコン酸化膜(第2のシリコン酸化膜54)を形成する。このため、酸化炉を用いることなく、シリコン基板50における素子分離用溝53の壁面近傍及び底面近傍の表面準位を低減できる。また、酸化炉を用いることなく、素子分離用溝53のコーナ部を丸めて素子分離の絶縁破壊耐圧を向上させることができる。従って、半導体装置の製造コストを大幅に削減することができる。

【0131】尚、第5の実施形態において、二電源方式のドライエッティング装置として誘導結合型プラズマエッティング装置を用いたが、これに代えて、電子サイクロン共鳴型、容量結合型プラズマ2周波型又は表面波プラズマ型等の他の二電源方式のドライエッティング装置を用いてもよい。

【0132】また、第5の実施形態において、プロセスガスとしてO₂ガスを用いたが、これに代えて、O₂ガスと不活性ガスとの混合ガスを用いてもよい。

【0133】また、第5の実施形態において、図8(b)に示す素子分離用溝形成工程を二電源方式のドライエッティング装置を用いて行なってもよい。このとき、シリコン基板50の露出部分における酸化が進行する前にバイアス電力の印加を開始することが好ましい。具体的には、ソース電力の印加を開始する前にバイアス電力の印加を開始するか、又は、バイアス電力の実効値が第1の設定値に達した後にソース電力の実効値が第2の設定値に達するようにソース電力及びバイアス電力の印加を行なうことが好ましい。

【0134】また、第5の実施形態において、図8(b)に示す素子分離用溝形成工程でシリコン基板50に対してドライエッティングを行なった後に、二電源方式のドライエッティング装置を用いてバイアス電力を印加することなくソース電力を印加することにより、シリコン基板50における素子分離用溝53の壁面近傍及び底面近傍にドライエッティング時に生じたダメージ層を酸化し、その後、酸化されたダメージ層を基板洗浄により除去することが好ましい。このとき、シリコン基板50に対するドライエッティングを二電源方式のドライエッキン

グ装置を用いて行なう場合、同じドライエッティング装置をダメージ層の酸化に続けて用いてもよい。また、図8(c)に示す酸化工程でシリコン基板50における素子分離用溝53の壁面近傍及び底面近傍をダメージ層よりも深く酸化することによって、ダメージ層の酸化を図8(c)に示す酸化工程において同時に行なうこともできる。この場合、酸化されたダメージ層を除去するための洗浄工程を省略できる。

【0135】(第6の実施形態)以下、本発明の第6の実施形態に係るドライエッティング装置、具体的には二電源方式のドライエッティング装置について図面を参照しながら説明する。

【0136】図9は第6の実施形態に係るドライエッティング装置(以下、本発明のドライエッティング装置と称する)の概略構造を示している。

【0137】図9に示すように、本発明のドライエッティング装置60は、チャンバー61と、該チャンバー61の底部に配置された試料台62と、チャンバー61内にプロセスガスを導入するガス供給口63と、試料台62と接続され且つ試料台62にバイアス電力を印加するバイアス電力供給電源64と、バイアス電力供給電源64と接続され且つ試料台62に印加されるバイアス電力の実効値を測定するバイアス電力モニター65と、バイアス電力モニター65と接続され且つバイアス電力の印加が開始されてからの経過時間を測定するタイマー66と、タイマー66と接続され且つチャンバー61の外壁に設けられたコイル(図示省略)等にソース電力を印加するソース電力供給電源67とを備えている。

【0138】以下、本発明のドライエッティング装置を用いたドライエッティング方法について、図10に示すフローチャートを参照しながら説明する。

【0139】まず、ステップS1において、チャンバー61内における試料台62上に例えばシリコン基板等の被エッティング物70を設置した後、チャンバー61内を所定の真空度に達するまで真空排気し、その後、チャンバー61内に被エッティング物70に対してエッティングを行なうために必要なプロセスガス、例えばハロゲン含有ガスと酸素ガスとの混合ガスをガス供給口63から導入する。

【0140】次に、ステップS2において、チャンバー61内に導入されたプロセスガスの圧力が設定値と等しくなっているかどうかを確認する。プロセスガスの圧力が設定値と等しくない場合、ステップS3において、プロセスガスの圧力が設定値と等しくなるまで、排気バルブ(図示省略)の開閉等によりプロセスガスの圧力を調整する。

【0141】次に、プロセスガスの圧力が設定値と等しくなると、ステップS4において、バイアス電力供給電源64がバイアス電力の印加を開始する。このとき、同

時に、ステップS 5において、バイアス電力供給電源6 4がタイマー6 5を初期化して動作開始させる。

【0142】次に、ステップS 6において、バイアス電力モニター6 5により測定されたバイアス電力の実効値が設定値と等しいかどうかを確認する。バイアス電力の実効値が設定値と等しくない場合、ステップS 7において、バイアス電力の実効値が設定値と等しくなるまで、バイアス電力印加用マッチング回路（図示省略）等を用いてバイアス電力の実効値を調整する。

【0143】次に、バイアス電力の実効値が設定値と等しくなると、ステップS 8において、タイマー6 6により測定された、バイアス電力印加開始後の経過時間が所定の時間に達しているかどうかを確認する。経過時間が所定の時間に達していない場合、ステップS 9において、経過時間が所定の時間に達するまでバイアス電力の印加のみを続行する。

【0144】次に、経過時間が所定の時間に達すると、ステップS 10において、バイアス電力モニター6 5がソース電力供給電源6 7にソース電力印加指示信号S_dを発信する。そして、ソース電力供給電源6 7はソース電力印加指示信号S_dを受信するとソース電力の印加を開始する。すなわち、第6の実施形態においては、バイアス電力の実効値が設定値と等しくなり且つバイアス電力印加開始後の経過時間が所定の時間に達したときに、ソース電力の印加が開始される。

【0145】次に、ステップS 11において、ソース電力の実効値が設定値と等しいかどうかを確認する。ソース電力の実効値が設定値と等しくない場合、ステップS 12において、ソース電力の実効値が設定値と等しくなるまで、ソース電力印加用マッチング回路（図示省略）等を用いてソース電力の実効値を調整する。尚、第6の実施形態において、例えばソース電力が印加されるコイルにバイアス電力モニター6 5を接続しておくことによって、バイアス電力モニター6 5を用いてソース電力の実効値を測定してもよい。

【0146】次に、バイアス電力の実効値が設定値と等しくなると、ステップS 13において、被エッティング物7 0に対するエッティングを行なう。具体的には、ステップS 13において、ソース電力の印加によりプロセスガスからなるプラズマ7 1が発生すると共にバイアス電力の印加によりプラズマ7 1中のイオンが被エッティング物7 0に引き込まれる。これにより、プラズマ7 1中のイオンと被エッティング物7 0とが反応して揮発性の反応生成物が形成される。このとき、チャンバー6 1内の真空排気により前述の揮発性の反応生成物をチャンバー6 1から排出することによって被エッティング物7 0に対するドライエッティングが行なわれる。

【0147】以上に説明したように、第6の実施形態によると、バイアス電力の印加を開始すると同時にタイマー6 6を初期化して動作させるバイアス電力印加電源6

4と、タイマー6 6により測定された経過時間が所定の時間に達したときにソース電力の印加を開始するソース電力印加電源6 7とを備えている。すなわち、バイアス電力印加電源6 4によりバイアス電力の印加が開始されてからの経過時間が所定の時間に達したときに、ソース電力印加電源6 7によりソース電力の印加が開始されるため、ソース電力の印加が開始される前に必ずバイアス電力の印加が開始される。このため、酸素を含むプロセスガスを用いて被エッティング物7 0であるシリコン含有部材に対してエッティングを行なう場合であっても、ソース電力の印加により発生したプラズマ7 1中の酸素ラジカルによって被エッティング物7 0が酸化される前に、バイアス電力の印加を開始してプラズマ7 1中のイオンを被エッティング物7 0に確実に引き込むことができる。その結果、プラズマ7 1中のイオンの被エッティング物7 0への引き込みが、被エッティング物7 0の表面に形成される酸化膜によって阻害されることがないので、被エッティング物7 0に対するドライエッティングが途中で停止してしまうことを確実に防止できる。

【0148】尚、第6の実施形態において、バイアス電力の実効値が設定値と等しくなり且つバイアス電力印加開始後の経過時間が所定の時間に達したときに、ソース電力供給電源6 7がソース電力の印加を開始したが、バイアス電力の実効値に対する設定値よりもソース電力の実効値に対する設定値が高い場合には、バイアス電力モニター6 5によりバイアス電力の実効値を測定することなく、バイアス電力印加開始後の経過時間が所定の時間に達したときにソース電力供給電源6 7がソース電力の印加を開始してもよい。この場合、所定の時間を0に設定して、バイアス電力供給電源6 4がバイアス電力の印加を開始するのと同時にソース電力供給電源6 7がソース電力の印加を開始してもよい。

【0149】また、第6の実施形態において、バイアス電力を印加するバイアス電力供給電源6 4と、バイアス電力の実効値を測定するバイアス電力モニター6 5と、バイアス電力の印加が開始されてからの経過時間を測定するタイマー6 6とを別々に設けたが、これに代えて、バイアス電力供給電源6 4の機能と、バイアス電力モニター6 5又はタイマー6 6の機能とを有するバイアス電力供給手段を設けてもよい。

【0150】

【発明の効果】本発明によると、プラズマ中のイオンのシリコン含有部材への引き込みが、シリコン含有部材の表面に形成される酸化膜によって阻害されることないので、シリコン含有部材に対するドライエッティングが途中で停止してしまうことを確実に防止できる。

【0151】また、本発明によると、酸化炉に代えて、ドライエッティング時に使用された二電源方式のドライエッティング装置を用いることによって、シリコン含有部材に生じたダメージ層の酸化を行なったり、又は、シリコ

ン基板における素子分離用溝の壁面近傍及び底面近傍を酸化して該壁面近傍及び底面近傍の表面準位を低減したりできるので、半導体装置の製造コストを大幅に削減することができる。

【図面の簡単な説明】

【図1】(a)～(d)は本発明の第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図2】本発明の第1の実施形態に係る半導体装置の製造方法におけるドライエッティング工程でのソース電力及びバイアス電力のそれぞれの実効値の時間変化の一例を示す図である。

【図3】(a)～(c)は本発明の第1の実施形態に係る半導体装置の製造方法におけるドライエッティング工程でのドライエッティング装置のチャンバー内の状態の変化を示す図である。

【図4】本発明の第1の実施形態に係る半導体装置の製造方法におけるドライエッティング工程でのソース電力及びバイアス電力のそれぞれの実効値の時間変化の一例を示す図である。

【図5】(a)～(c)は本発明の第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図6】(a)～(e)は本発明の第3の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図7】(a)～(d)は本発明の第4の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図8】(a)～(d)は本発明の第5の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図9】本発明の第6の実施形態に係るドライエッティング装置の概略構造を示す図である。

【図10】本発明の第6の実施形態に係るドライエッティング装置を用いたドライエッティング方法のフローチャートである。

【図11】(a)～(d)は従来の半導体装置の製造方法の各工程を示す断面図である。

【図12】従来の半導体装置の製造方法におけるドライエッティング工程でのソース電力及びバイアス電力のそれぞれの実効値の時間変化の一例を示す図である。

【図13】(a)～(c)は従来の半導体装置の製造方法におけるドライエッティング工程でのドライエッティング装置のチャンバー内の状態の変化を示す図である。

【図14】従来の半導体装置の製造方法の問題点を説明するための図である。

【図15】(a)～(c)は従来の半導体装置の製造方法におけるドライエッティング工程でエッティング停止が生じる様子を示す図である。

【図16】バイアス電力の印加開始前にソース電力の印加を継続した場合にシリコン基板表面に形成される酸化膜の膜厚の、ソース電力印加時間に対する依存性を示す図である。

【図17】ソース電力の印加開始タイミングとバイアス

電力の印加開始タイミングとを色々変えながらシリコン基板に対してドライエッティングを行なったときのシリコン削れ量の、バイアス電力印加開始時刻の遅延時間（ソース電力印加開始時刻を基準時刻とする）に対する依存性を示す図である。

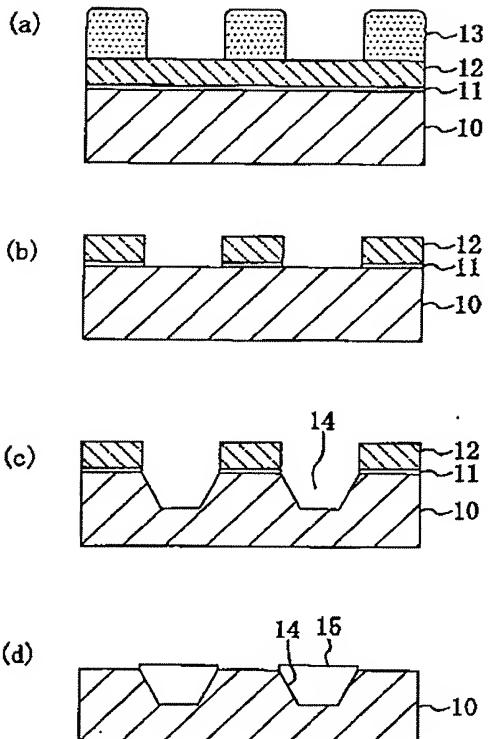
【符号の説明】

- 1 0 シリコン基板
- 1 1 第1のシリコン酸化膜
- 1 2 シリコン窒化膜
- 1 3 レジストパターン
- 1 4 素子分離用溝
- 1 5 第2のシリコン酸化膜
- 1 7 チャンバー
- 1 8 プロセスガス
- 1 8 A 第1のプラズマ
- 1 8 B 第2のプラズマ
- 1 9 イオン
- 2 0 シリコン基板
- 2 1 ゲート絶縁膜
- 2 2 ポリシリコン膜
- 2 3 レジストパターン
- 2 4 ゲート電極
- 3 0 シリコン基板
- 3 1 第1のシリコン酸化膜
- 3 2 シリコン窒化膜
- 3 3 素子分離用溝
- 3 4 ダメージ層
- 3 4 A 酸化ダメージ層
- 3 5 第2のシリコン酸化膜
- 4 0 シリコン基板
- 4 1 ゲート絶縁膜
- 4 2 ポリシリコン膜
- 4 3 レジストパターン
- 4 4 ゲート電極
- 4 5 ダメージ層
- 4 5 A 酸化ダメージ層
- 5 0 シリコン基板
- 5 1 第1のシリコン酸化膜
- 5 2 シリコン窒化膜
- 5 3 素子分離用溝
- 5 4 第2のシリコン酸化膜
- 5 5 第3のシリコン酸化膜
- 6 0 ドライエッティング装置
- 6 1 チャンバー
- 6 2 試料台
- 6 3 ガス供給口
- 6 4 バイアス電力供給電源
- 6 5 バイアス電力モニター
- 6 6 タイマー
- 6 7 ソース電力供給電源

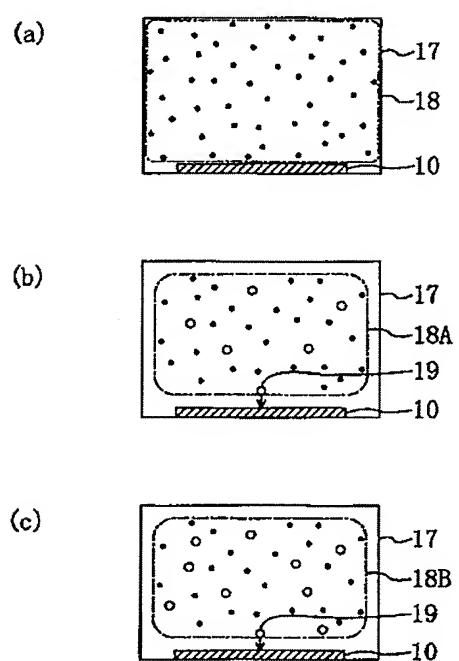
70 被エッチング物
71 プラズマ

S_6 ソース電力印加指示信号

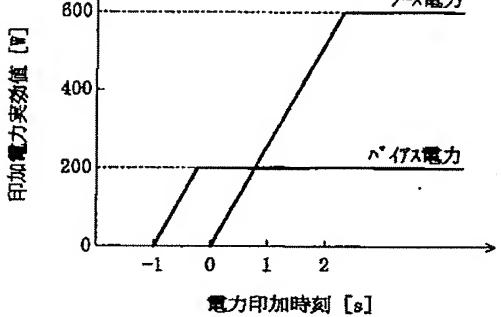
【図 1】



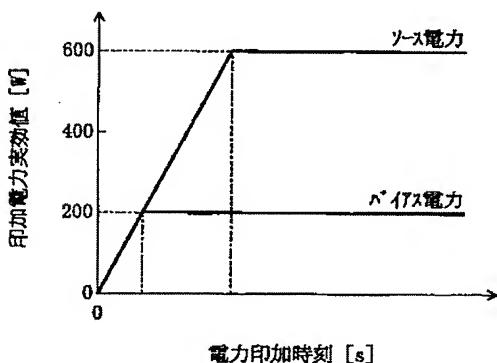
【図 3】



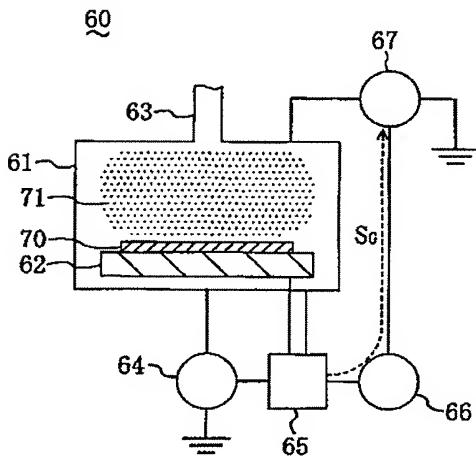
【図 2】



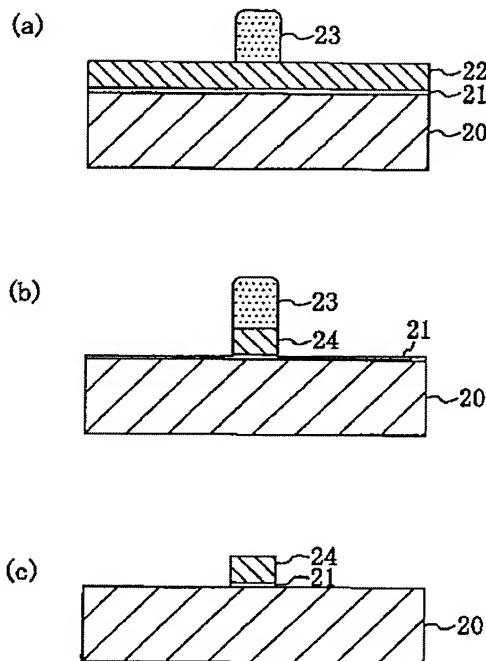
【図 4】



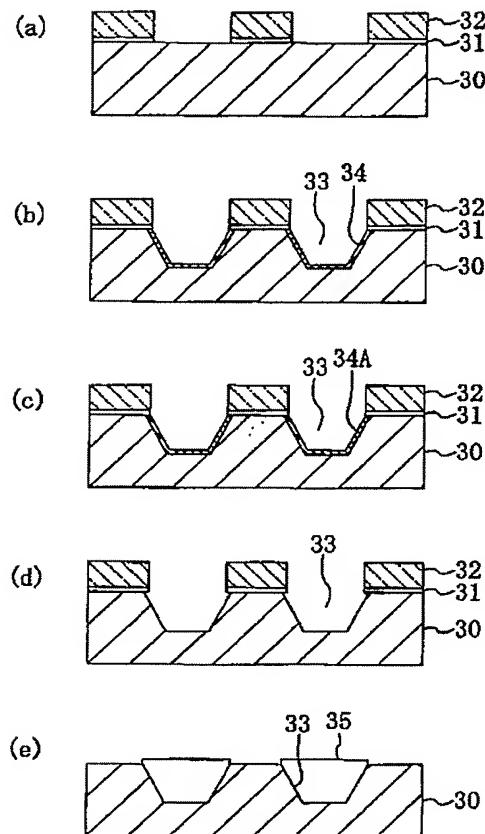
【図 9】



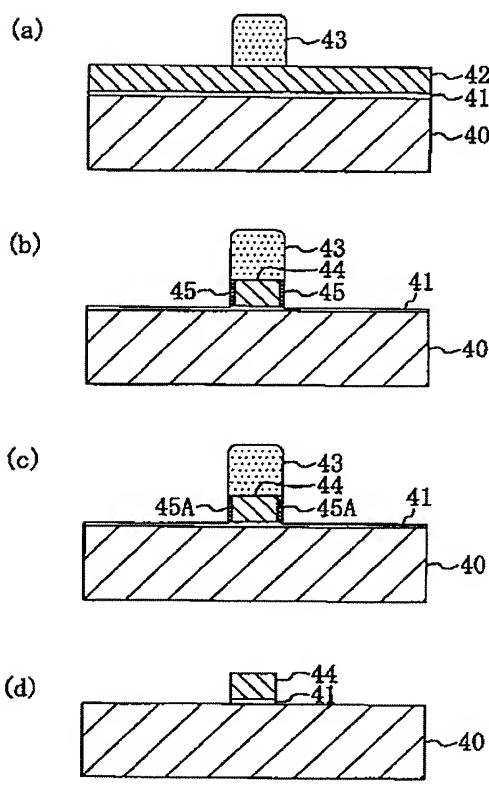
【図 5】



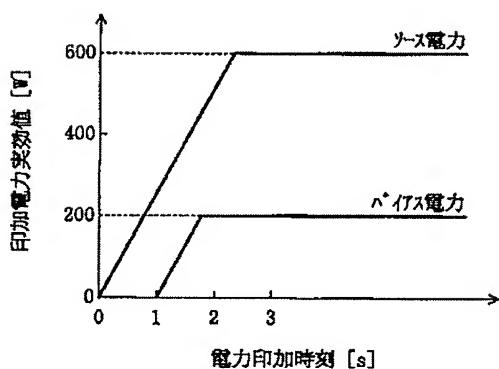
【図 6】



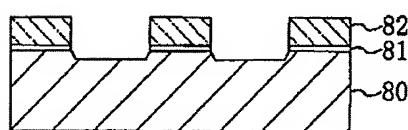
【図 7】



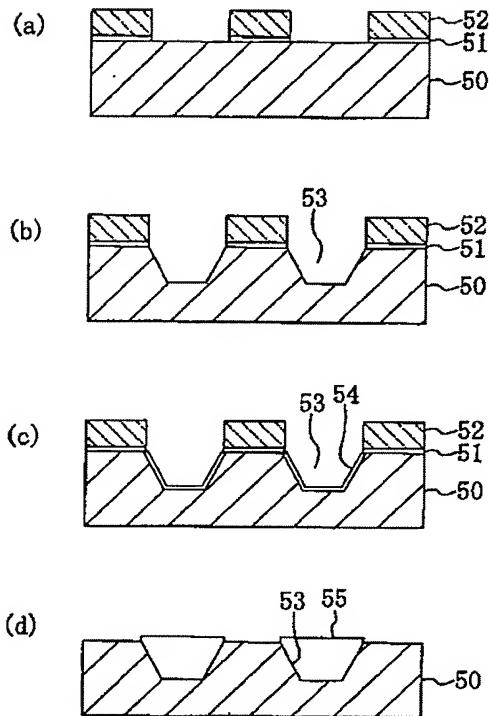
【図 12】



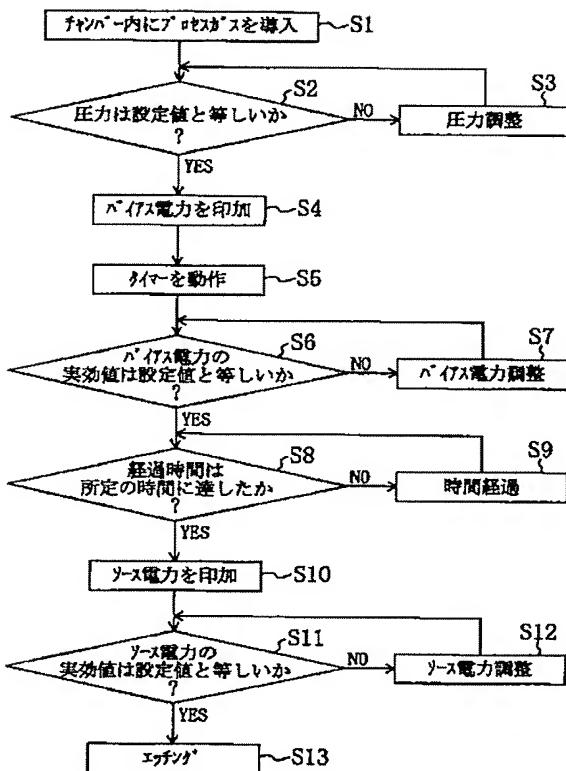
【図 14】



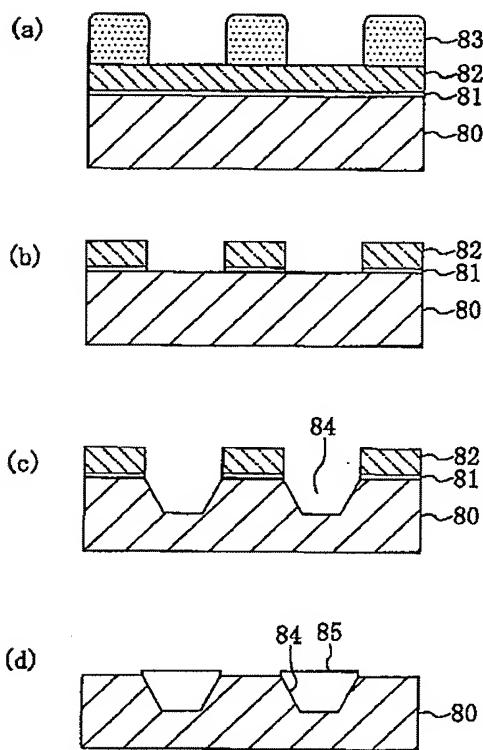
【図 8】



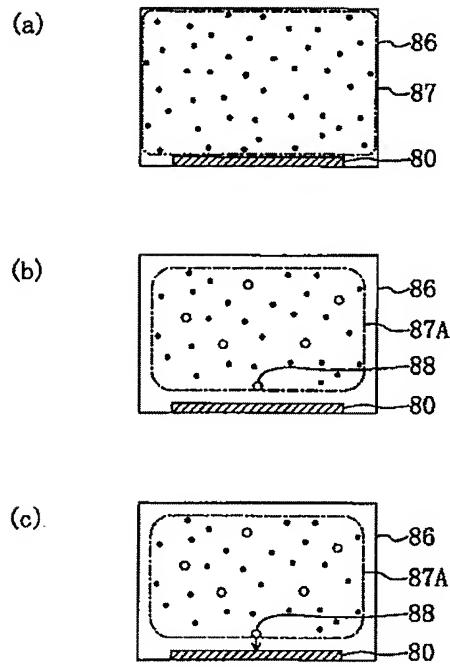
【図 10】



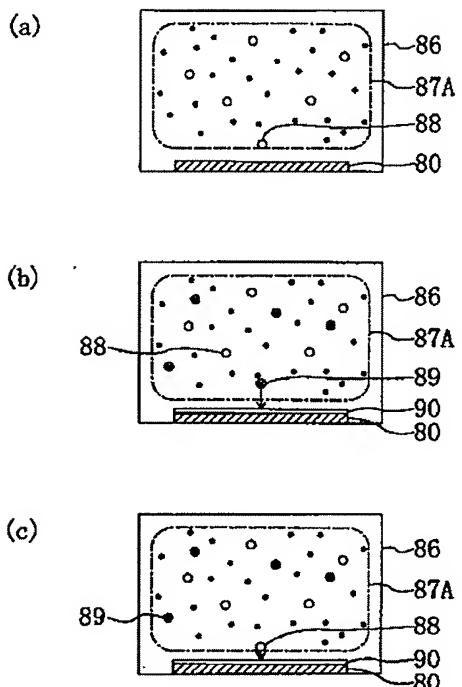
【図 11】



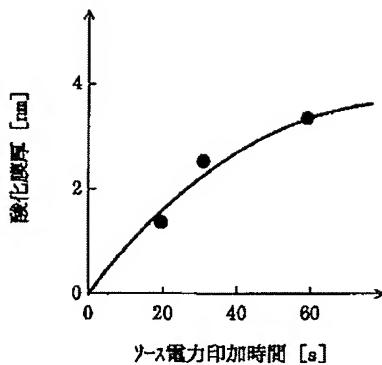
【図 13】



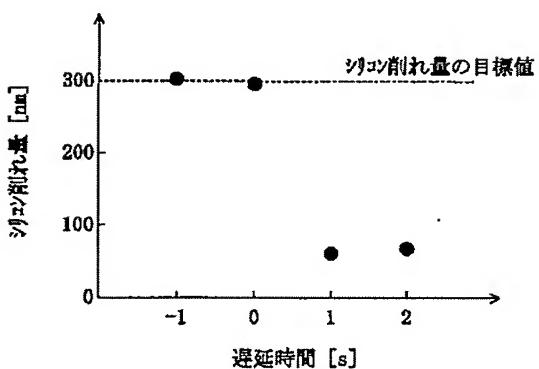
【図15】



【図16】



【図17】



【提出日】平成13年8月31日(2001.8.3)

1)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項18

【補正方法】変更

【補正内容】

【請求項18】 チャンバー内にプラズマを発生させるためのソース電力と、該プラズマ中のイオンを前記チャンバー内の被エッティング物に引き込むためのバイアス電力とを独立して制御できる二電源方式のドライエッキン

グ装置であって、

前記バイアス電力の印加を開始すると同時にタイマーを初期化して動作させるバイアス電力印加手段と、前記タイマーにより測定された経過時間が所定の時間に達したときに前記ソース電力の印加を開始するソース電力印加手段とを備えていることを特徴とするドライエッティング装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0042

【補正方法】変更

【補正内容】

【0042】このようにすると、ソース電力の印加により発生したプラズマ中の酸素ラジカルによってシリコン含有部材の表面が酸化される前に、プラズマ中のイオンをシリコン含有部材に確実に引き込み、それによってシリコン含有部材に対して確実にエッティングを開始することができる。具体的には、ソース電力の第2の設定値がバイアス電力の第1の設定値よりも高い場合等には、バイアス電力の印加開始と同時に又はバイアス電力の印加開始前にソース電力の印加を開始しても、ソース電力の実効値が第2の設定値に達する時点がバイアス電力の実効値が第1の設定値に達する時点よりも後になる。従って、このような場合には、バイアス電力の印加開始後にソース電力の印加を開始する場合と同等の効果が得られる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0067

【補正方法】変更

【補正内容】

【0067】前記の第1の目的を達成するために、本発明に係るドライエッティング装置は、チャンバー内にプラズマを発生させるためのソース電力と、該プラズマ中のイオンをチャンバー内の被エッティング物に引き込むためのバイアス電力を独立して制御できる二電源方式のドライエッティング装置を前提とし、バイアス電力の印加を開始すると同時にタイマーを初期化して動作させるバイアス電力印加手段と、タイマーにより測定された経過時間が所定の時間に達したときにソース電力の印加を開始

するソース電力印加手段とを備えている。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0147

【補正方法】変更

【補正内容】

【0147】以上に説明したように、第6の実施形態によると、バイアス電力の印加を開始すると同時にタイマー66を初期化して動作させるバイアス電力供給電源64と、タイマー66により測定された経過時間が所定の時間に達したときにソース電力の印加を開始するソース電力供給電源67とを備えている。すなわち、バイアス電力供給電源64によりバイアス電力の印加が開始されてからの経過時間が所定の時間に達したときに、ソース電力供給電源67によりソース電力の印加が開始されるため、ソース電力の印加が開始される前に必ずバイアス電力の印加が開始される。このため、酸素を含むプロセスガスを用いて被エッティング物70であるシリコン含有部材に対してエッティングを行なう場合であっても、ソース電力の印加により発生したプラズマ71中の酸素ラジカルによって被エッティング物70が酸化される前に、バイアス電力の印加を開始してプラズマ71中のイオンを被エッティング物70に確実に引き込むことができる。その結果、プラズマ71中のイオンの被エッティング物70への引き込みが、被エッティング物70の表面に形成される酸化膜によって阻害されることがないので、被エッティング物70に対するドライエッティングが途中で停止してしまうことを確実に防止できる。

フロントページの続き

(72)発明者 二河 秀夫

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

Fターム(参考) 4G075 AA24 BC06 CA47 CA62 DA01
EB01 EB41
5F004 AA08 BA14 BA20 BB11 CA03
CA06 CA07 DA04 DA26 DB01
DB02 DB15 EB02 EB04 FA08